

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293892

(43) 公開日 平成9年(1997)11月11日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 31/04

識別記号

庁内整理番号

F I

H 0 1 L 31/04

技術表示箇所

M

F

審査請求 未請求 請求項の数19 O L (全 32 頁)

(21) 出願番号 特願平8-282350

(22) 出願日 平成8年(1996)10月24日

(31) 優先権主張番号 特願平8-39856

(32) 優先日 平8(1996)2月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 松山 深照

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

(72) 発明者 松田 高一

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

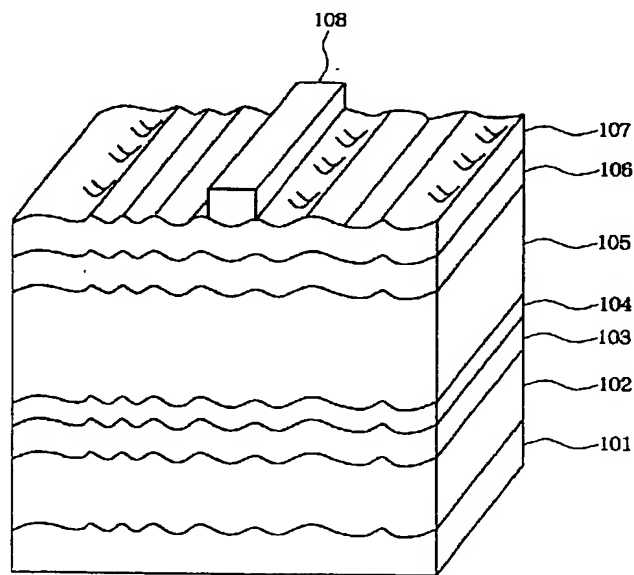
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 光起電力素子

(57) 【要約】

【課題】 高い変換効率を維持しつつ、加工性と歩留りと信頼性を高めた光起電力素子を供給する。

【解決手段】 線状の凹凸を有する不透明基板を有する光起電力素子とし、前記線状の凹凸が直線状の凹凸であり、該直線状の凹凸と平行方向にスキャンしたときの中心線平均粗さを  $R_a(X)$ 、前記直線状の凹凸と垂直方向にスキャンしたときの中心線平均粗さを  $R_a(Y)$  としたとき、 $R_a(X)$  が15から300nm、かつ  $R_a(Y)$  が20から600nmで、かつ  $R_a(X)/R_a(Y)$  が0.8以下とする。



## 【特許請求の範囲】

【請求項1】 線状の凹凸を有する不透明基板を有することを特徴とする光起電力素子。

【請求項2】 前記線状の凹凸は直線状であることを特徴とする請求項1記載の光起電力素子。

【請求項3】 前記線状の凹凸は波形状であることを特徴とする請求項1記載の光起電力素子。

【請求項4】 前記線状の凹凸は渦巻状であることを特徴とする請求項1記載の光起電力素子。

【請求項5】 前記線状の凹凸が直線状の凹凸であり、該直線状の凹凸と平行方向にスキャンしたときの中心線平均粗さを $Ra(X)$ 、前記直線状の凹凸と垂直方向にスキャンしたときの中心線平均粗さを $Ra(Y)$ としたとき、 $Ra(X)$ が15から300nm、かつ $Ra(Y)$ が20から600nmで、かつ $Ra(Y)$ が0.8以下であることを特徴とする請求項1記載の光起電力素子。

【請求項6】 前記直線状の凹凸のピッチが0.5から20 $\mu m$ であることを特徴とする請求項2記載の光起電力素子。

【請求項7】 前記直線状の凹凸の垂直方向に更に第2の直線状の凹凸を有する基板を用いたことを特徴とする請求項2記載の光起電力素子。

【請求項8】 前記第2の直線状の凹凸の長さが20 $\mu m$ 以下であることを特徴とする請求項4記載の光起電力素子。

【請求項9】 前記不透明基板が金属または合金であることを特徴とする請求項1記載の光起電力素子。

【請求項10】 前記不透明基板が可撓性を有することを特徴とする請求項1記載の光起電力素子。

【請求項11】 前記不透明基板の上に裏面金属反射層を形成したことを特徴とする請求項1記載の光起電力素子。

【請求項12】 前記裏面金属反射層が、金、銀、銅、アルミニウムまたはマグネシウムから選ばれる少なくとも1種を有することを特徴とする請求項11に記載の光起電力素子。

【請求項13】 前記裏面金属反射層が、更にシリコンを含むことを特徴とする請求項12記載の光起電力素子。

【請求項14】 前記裏面金属反射層が複数の層を積層した構造であることを特徴とする請求項11記載の光起電力素子。

【請求項15】 前記裏面金属反射層と光電変換層の間に透明導電層を有することを特徴とする請求項1記載の光起電力素子。

【請求項16】 前記透明導電層が、酸化亜鉛を含むことを特徴とする請求項1記載の光起電力素子。

【請求項17】 光電変換層の表面に、線状の凹凸が形成されていることを特徴とする請求項1記載の光起電力

素子。

【請求項18】 光電変換層が複数の層を積層した構造であることを特徴とする請求項1記載の光起電力素子。

【請求項19】 光電変換層が非単結晶半導体からなることを特徴とする請求項1記載の光起電力素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不透明基板を有する光起電力素子に関する。

【0002】

【従来の技術】従来より、光起電力素子の変換効率を増大させるために、光電変換層の光入射側の反対側に金属反射層を設けて、入射光を有効利用することが知られている。また、金属反射層と光電変換層の間に透明導電層を設けることにより、金属反射層の成分が光電変換層へ拡散するのを防ぐと同時に、光電変換層に短絡が生じた場合、過剰電流が流れるのを防ぐことができ、更に光電変換層の密着性が向上することが知られている。これは、例えば特公昭59-43101号公報、特公昭60-41878号公報、特公昭60-84888号公報に開示されている。また、金属層と光電変換層の間に $TiO_2$ の透明導電層を介在させることが、Y. Hamakawa, et. al, appl. phys. Lett., 43(1983) p644に開示されている。

【0003】更に、該透明導電層の表面を微細な凹凸形状とするいわゆるテクスチャー構造とすることにより、透明導電層と光電変換層の界面で光が散乱されて、より有効な光吸収を図ることが知られている。これは例えばT. Toedje, et. al, Proc. 16th IEEE Photovoltaic Specialist Conf. (1982) p1425に開示されている。

【0004】

【発明が解決しようとする課題】しかしながら、このような構成の裏面電極を採用して、実際に光起電力素子を製造しようとすると加工性や耐久性の観点で、いくつかの問題点が出てきた。

【0005】一つには、従来のいわゆるテクスチャー構造と呼ばれる典型的な凹凸形状は、T. Tiedje, et. al, Proc. 16th IEEE Photovoltaic Specialist Conf. (1982) p1423に図示されているような、ピラミッド形の凹凸を有するものが、光閉じ込め効果が優れていると考えられてきた。しかし、このような表面形状の基板の上に電極と半導体層を形成すると、半島体層の欠陥部分等を通して光起電力素子のリーク電流が増加し、光起電力素子の製造の歩留まりが低下することがあった。また、ピラミッド形の凹凸を有する表面に形成された半導体層は、鏡面の表面に形成された半導体層に比べて実効的な膜厚が薄くなるため、もともと薄く設計され

たドーピング層等がさらに薄くなり、鏡面の基板表面に形成された光起電力素子に比べて、光起電力素子の開放電圧（Voc）とフィルファクター（FF）が低下する場合があった。

【0006】また、例えばAgやCuを裏面金属反射層として用いた場合、湿度が高く、かつ裏面金属反射層に正にバイアス電圧がかかった場合、AgやCuがマイグレーションを起こして、光入射側の電極を導通し、光起電力素子がシャント（短絡）することがわかった。この現象は、裏面金属反射層が光の波長程度の大きさの凹凸形状（テクスチャー構造）を有する場合に顕著であった。

【0007】また、Alを裏面金属反射層として用いた場合、AgやCuのようなマイグレーションは起こさないが、テクスチャー構造を形成すると、反射率が低下することがある。さらに、テクスチャー構造のAlに透明導電層を積層すると著しく反射率が低下する場合があった。

【0008】一方、もともと光起電力素子用の基板は、特性や歩留まりの点から、できるだけ表面粗さが小さく鏡面に近いものが好まれて用いられてきた。しかしながら、基板および裏面反射層を凹凸形状ではなく、鏡面に形成した場合は、裏面での光の散乱が少ないので、半導体層での光吸収が十分でないという問題と、基板および裏面電極の材質の組み合わせによっては、基板と裏面反射層の密着性が不十分で、光起電力素子の加工工程で、基板と裏面反射層の間ではがれを生じることがあるという問題があった。また、基板を鏡面に研磨することは、基板の製造コストを増大させ、光起電力素子の製造コストを増大させるという問題もあった。

【0009】以上のような問題点は、樹脂フィルムやステンレス等の低コストな基板を用いたり、半導体層の形成速度を上げて生産速度を上げる等して、実用化に適した低コストな製造工程を採用した場合には、特に顕著であり、光起電力素子の製造の歩留まりを下げる要因になっていた。

【0010】

【課題を解決するための手段】本発明者らは、上述した加工性や信頼性の問題点を克服し、半導体層の光吸収を増大させつつ、なおかつ加工性や信頼性に優れた光起電力素子を得るために、基板の新しい構造および形成方法を鋭意検討した結果、以下のような特徴を有する光起電力素子によって達成できた。

【0011】すなわち、線状の凹凸を有する不透明基板を有することを特徴とする光起電力素子とする。線状の凹凸の形状は直線状、波形状または渦巻状とする。

【0012】また、前記線状の凹凸が直線状の場合、該直線状の凹凸と平行方向にスキャンしたときの中心線平均粗さをRa（X）、前記直線状の凹凸と垂直方向にスキャンしたときの中心線平均粗さをRa（Y）としたと

き、Ra（X）が15から300nm、かつRa（Y）が20から600nmで、かつRa（Y）が0.8以下とする。

【0013】更に、以下の特徴を有する光起電力素子とする。

【0014】前記直線状の凹凸のピッチが0.5から20μmとする。

【0015】前記直線状の凹凸の垂直方向に更に第2の直線状の凹凸を有する基板を用いる。

【0016】前記第2の直線状の凹凸の長さが20μm以下とする。

【0017】前記不透明基板が金属または合金とする。

【0018】前記不透明基板の上に裏面金属反射層を形成する。

【0019】前記不透明基板が可撓性を有する。

【0020】前記裏面金属反射層が、金、銀、銅、アルミニウムまたはマグネシウムから選ばれる少なくとも1種を有する。

【0021】前記裏面金属反射層が、更にシリコンを含む。

【0022】前記裏面金属反射層が複数の層を積層した構造とする。

【0023】前記裏面金属反射層と光電変換層の間に透明導電層を有する。

【0024】前記透明導電層が、酸化亜鉛を含む。

【0025】光電変換層の表面に、直線状または曲線状の凹凸が形成されている。

【0026】光電変換層が複数の層を積層した構造とする。

【0027】光電変換層が非単結晶半導体とする。

【0028】ここで、中心線平均粗さRaは、一般的には以下の式で定義されている。

【0029】

【外1】

$$Ra = 1/L \times \int_0^L |f(x)| dx$$

【0030】ここで、Lはx方向の測定長さ、f（x）の位置における表面の凹凸の中心線を基準にした高さである。また、表面粗さの表示方法は、最大高さRmaxの表示方法もあるが、本発明のすじ状の凹凸による表面粗さの表示方法としては、中心線平均粗さRaの方が、光起電力素子の歩留まりおよび特性との相関が高かった。これは、1点でも大きな凹凸があるとRmaxが大きくなってしまいうため、本発明のすじ状の凹凸の表面ではRaの方が平均的な評価になっていると考えられる。また、単純な三角形の凹凸の表面では、RmaxはRaの4倍程度になると考えられる。本発明のすじ状の凹凸の表面では、RmaxはRaの5倍程度になることが多かった。

【0031】

【発明の実施の形態】以下、図面を参照しながら、本発明の光起電力素子の構成とその製造方法をさらに詳しく説明する。

【0032】図1は、本発明の概念を詳しく説明するための、光起電力素子の断面図の一例である。ただし、本発明は図1の構成の光起電力素子に限られるものではない。図1において、101は基板、102は裏面金属反射層、103は透明導電層、104はn型半導体層、105はi型半導体層、106はp型半導体層、107は透明電極、108は集電電極である。

【0033】また、基板101と裏面金属反射層102の間に裏面金属反射層の基板に対する密着性を向上させる密着層を挿入しても良い。

【0034】また図2は、本発明の概念を詳しく説明するための、スタック型の光起電力素子の断面図の一例である。図2の本発明のスタック型の光起電力素子は、3つのpinの接合が積層された構造をしており、215は光入射側から数えて第一のpin接合、216は第二のpin接合、217は第三のpin接合である。これら3つのpin接合は、基板201上に裏面金属反射層202と透明導電層203を形成し、その上に積層されたものであり、3つのpin接合の最上部に、透明電極213と集電電極214が形成されて、スタック型の光起電力素子を形成している。そして、それぞれのpin接合は、n型半導体層204、207、210、i方半導体層205、208、211、p型半導体層206、209、212から成る。また、図1の光起電力素子と同様に光の入射方向によって、ドーピング層や電極の位置が入れ替わることもある。

【0035】以下、本発明の光起電力素子の各層について形成する順に詳しく説明する。

【0036】（基板）基板は、本発明の特徴であり、特にその表面形状に特徴がある。

【0037】本発明者らは検討の結果、基板の表面形状は、表面に線状の凹凸を設けた形状が好ましいことを見いだした。線状の凹凸の形状として図3aの直線状、図3bの波形状、図3cの渦巻状等が挙げられる。

【0038】前記線状の凹凸が直線状の場合、前記線状の凹凸と平行方向にスキャンしたときの中心線平均粗さを $Ra(X)$ 、前記線状の凹凸と垂直方向にスキャンしたときの中心線平均粗さを $Ra(Y)$ としたとき、 $Ra(X)$ は、好ましくは15nmから300nm、より好ましくは、20nmから200nm、最適には25nmから150nmが望ましいことが分かった。また、 $Ra(Y)$ は、好ましくは20nmから600nm、より好ましくは、40nmから400nm、最適には、60nmから300nmが望ましいことが分かった。さらに $Ra(X)/Ra(Y)$ が、好ましくは0.8以下、より好ましくは0.6以下、最適には0.4以下にすることが望ましいことを見いだした。 $Ra(X)$ 、 $Ra$

(Y)、 $Ra(X)/Ra(Y)$ をこのような範囲にすることによって、本発明の作用がより強調されることが分かった。

【0039】また、前記線状の凹凸のピッチ(d)（隣り合った線状の凹凸の間隔）は、好ましくは0.5μmから20μm、より好ましくは、1μmから15μm、最適には、2μmから10μmが望ましいことが分かった。線状の凹凸のピッチ(d)をこのような範囲にすることによって、本発明の作用がより強調されることが分かった。

【0040】さらに、図3dに示すように表面に、前記線状の凹凸と垂直方向に、長さが20μm以下の微細な第2の線状の凹凸を有することによって、光起電力素子のリーク電流を抑え、高い製造の歩留まりを維持しつつ、光起電力素子の裏面における乱反射をさらに高めることができ、半導体層内の光路長が延びて、光吸収が増大し、光起電力素子の短絡電流( $Jsc$ )がさらに増大することがわかった。また、微細な第2の線状の凹凸の長さは、好ましくは20μm以下、より好ましくは15μm以下、最適には10μm以下にすることが望ましい。微細な第2の線状の凹凸の長さをこのような範囲にすることによって、本発明の作用がより強調されることが分かった。

【0041】また、基板の材質としては、単結晶もしくは非単結晶質のものであってもよく、さらにそれらは導電性のものであっても、また電気絶縁性のものであってもよい。さらには、それらは変形、歪みが少なく、所望の強度を有するものであることが好ましい。具体的にはFe、Ni、Cr、Al、Mo、Au、Nb、Ta、V、Ti、Pt、Pb等の金属またはこれらの合金、例えば真鍮、ステンレス銅等の薄板及びその複合体、及びポリエステル、ポリエチレン、ポリカーボネート、セルロースアセテート、ポリプロピレン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリスチレン、ポリアミド、ポリイミド、エポキシ等の耐熱性合成樹脂のフィルムまたはシート又はこれらとガラスファイバー、カーボンファイバー、ホウ素ファイバー、金属繊維等との複合体、及びこれらの金属の薄板、樹脂シート等の表面に異種材質の金属薄膜及び/または $SiO_2$ 、 $Si_3N_4$ 、 $Al_2O_3$ 、 $AlN$ 等の絶縁性薄膜をスパッタ法、蒸着法、鍍金法等により表面コーティング処理を行ったものおよび、セラミックスなどが挙げられる。以上の材質の中でもステレンスは、加工性、耐久性、可撓性及び本発明の特徴である線状の凹凸を形成する適性の点で特に優れている。

【0042】また、基板が金属等の電気導電性である場合には、直接電流取り出し用の電極としても良いし、合成樹脂等の電気絶縁性である場合には堆積膜の形成される側の表面にAl、Ag、Pt、Au、Ni、Ti、Mo、W、Fe、V、Cr、Cu、ステンレス、真ちゅ

う、ニクロム、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ 、 $\text{ZnO}$ 、ITO等のいわゆる金属単体又は合金、及び透明導電性酸化物(TCO)を鍍金、蒸着、スパッタ等の方法であらかじめ表面処理を行って電流取り出し用の電極を形成しておくことが望ましい。

【0043】基板が金属等の電気導電性のものであっても、長波長光の基板表面上での反射率を向上させたり、基板材質と堆積膜との間での構成元素の相互拡散を防止する等の目的で異種の金属層等を前記基板上の堆積膜が形成される側に設けることが好ましい。

【0044】基板の形状は、用途により平滑表面或いは凹凸表面の板状、長尺ベルト状、円筒状等であることができ、その厚さは、所望通りの光起電力素子を形成し得るように適宜決定するが、光起電力素子として可撓性が要求される場合、基板としての機能が充分発揮される範囲内で可能な限り薄くすることが出来る。しかしながら、基板の製造上及び取扱い上、機械的強度等の点から、通常は、 $10\mu\text{m}$ 以上とされる。

【0045】(線状の凹凸の形成方法) 上述の本発明の特徴を有する基板を形成する方法は、基板の材質によつて異なるが、以下のような方法が採用できる。

【0046】すなわち、基板に一定方向に線状の凹凸を有する表面を形成する方法としては、圧延、各種研磨、鑄型の使用、エッチング等の方法に大別できる。補助的に各種アニール法が用いられることもある。

【0047】圧延は、基板の材質が金属の場合に好適に用いられる。圧延の例としては、熱間圧延、冷間圧延等が挙げられる。また、冷間圧延機としては、可逆式4段圧延機、ゼンジミア20段圧延機、スキンパス圧延機等が挙げられる。例えば、基板がオーステナイト系あるいはフェライト系あるいはマルテンサイト系ステンレスの場合は、2D仕上げ、2B仕上げ、BA仕上げ等で、上述した本発明に好適な粗さの線状の凹凸が形成されたものが好適に用いられる。

【0048】研磨は、金属以外の基板にも適用できる。研磨の例としては、ベルト研磨、パフ研磨、ブラシ研磨、ラッピング等が挙げられる。ローラーによる処理も採用できる。

【0049】また、表面に一定方向に線状の凹凸が形成された鑄型をあらかじめ形成し、所望の基板を鑄型に圧着させることによって基板表面に一定方向に線状の凹凸を有する表面を形成することもできる。この場合、鑄型の表面に線状の凹凸を形成する方法としては、各種研磨、エッチング、パターニング等の方法が採られる。

【0050】また、各種圧延や研磨の工程の前後あるいは間に、エッチングあるいはアニールの工程を入れることもある。エッチングは、気相あるいは液相でなされる。

【0051】より具体的には、気相で行う場合、ガスエッチング、プラズマエッチング、イオンエッチング等を

用いることができ、エッチングガスとしては、 $\text{CF}_4$ 、 $\text{C}_2\text{F}_6$ 、 $\text{C}_3\text{F}_8$ 、 $\text{C}_4\text{F}_{10}$ 、 $\text{CHF}_3$ 、 $\text{CH}_2\text{F}_2$ 、 $\text{Cl}_2$ 、 $\text{ClF}_3$ 、 $\text{CCl}_4$ 、 $\text{CCl}_2\text{F}_2$ 、 $\text{CClF}_3$ 、 $\text{CHClF}_2$ 、 $\text{C}_2\text{Cl}_2\text{F}_4$ 、 $\text{BCl}_3$ 、 $\text{PCl}_3$ 、 $\text{CBrF}_3$ 、 $\text{SF}_6$ 、 $\text{SiF}_4$ 、 $\text{SiCl}_4$ 、 $\text{HF}$ 、 $\text{O}_2$ 、 $\text{N}_2$ 、 $\text{H}_2$ 、 $\text{He}$ 、 $\text{Ne}$ 、 $\text{Ar}$ 、 $\text{Xe}$ 等あるいはこれらの混合ガスが挙げられる。プラズマエッチングの場合のガス圧力は、 $10^{-3}\text{Torr} \sim 1\text{Torr}$ 、プラズマを生起させるエネルギーとしては、DCあるいはACあるいは、 $1 \sim 100\text{MHz}$ のRF波、 $0.1 \sim 10\text{GHz}$ のマイクロ波等の高周波を用いることができる。

【0052】また、液相で行う場合、酸の例としては、硫酸、塩酸、硝酸、リン酸、フッ酸、クロム酸、スルファミン酸、シュウ酸、酒石酸、クエン酸、ギ酸、乳酸、グリコール酸、酢酸、グルコン酸、コハク酸、リンゴ酸等、あるいはこれらを水で希釈したもの、あるいはこれらの混合液を用いることができる。また、アルカリの例としては、カセイソーダ、水酸化アンモニウム、水酸化カリウム、炭酸ソーダ、重炭酸ソーダ、セスキ炭酸ソーダ、第1リン酸ソーダ、第2リン酸ソーダ、第3リン酸ソーダ、ピロリン酸ソーダ、トリポリリン酸ソーダ、テトラポリリン酸ソーダ、トリメタリン酸ソーダ、テトラメタリン酸ソーダ、ヘキサメタリン酸ソーダ、オルソケイ酸塩ソーダ、メタケイ酸塩ソーダ等、あるいはこれらを水で希釈したもの、あるいはこれらの混合液を用いることができる。また、液相でエッチングを行う場合エッチング液を加熱したり、超音波等のエネルギーを加えても良い。

【0053】また、アニール処理を行う場合は、空気、水蒸気、窒素、水素、酸素、不活性ガスあるいはその他のガス雰囲気中で、基板の材質に適した温度と時間で処理される。

【0054】また、前記線状の凹凸と垂直方向に、長さが $20\mu\text{m}$ 以下の微細な第2の線状の凹凸を形成する方法としては、例えば以下のようなものがある。

【0055】ひとつには、前述の各種圧延あるいは研磨法によって、まず微細な第2の線状の凹凸を形成し、その後微細な第2の線状の凹凸と垂直方向に横切るように、前述の各種圧延あるいは研磨法によって、微細な第2の線状の凹凸より大きいすじ状の凹凸を形成する方法である。

【0056】また、線状の凹凸を形成した後、表面をさらにエッチングすることによって微細な第2の線状の凹凸を形成する方法もある。

【0057】また、表面に適度な凹凸を形成した後、圧延することによって、圧延方向と垂直方向に微細な第2の線状の凹凸を形成する方法もある。

【0058】また、基板の材質と圧延条件の組み合わせによっては、圧延によって、圧延する方向に線状の凹凸

10

20

30

40

50

を形成し、圧延方向と垂直方向に微細な第2の線状の凹凸を形成することもできる。

【0059】(裏面金属反射層)本発明に用いられる裏面金属反射層102、202は光入射方向に対し光電変換層の裏面に配され、光電変換層で吸収しきれなかった光を再び光電変換層に反射する光反射層の役割を持つ。また、光起電力素子の裏面電極も兼ねる。裏面金属反射層の材料としては、金、銀、銅、アルミニウム、マグネシウム、ニッケル、鉄、クロム、モリブデン、タングステン、チタン、コバルト、タンタル、ニオブ、ジルコニウム等の金属またはステンレス等の合金が挙げられる。なかでもアルミニウム、マグネシウム、銅、銀、金などの反射率の高い金属およびこれらの高反射率金属を主成分としその他の金属あるいはシリコンを添加した合金が特に好ましい。反射率の高い金属を用いることによって、半導体層で吸収しきれなかった光が高い反射率で再び半導体層に反射され、半導体層内の光路長が延び、半導体層の光吸収が増大して、光起電力素子の短絡電流(Jsc)が増大する。

【0060】また、裏面金属反射層は、2種類以上の材料を2層以上積層して形成しても良い。

【0061】裏面金属反射層の表面は、平坦であっても良いが、基板表面の前記線状の凹凸に応じた、線状の凹凸があることによって裏面金属反射層と透明導電層の密着性が向上し、光起電力素子の製造工程の自由度と制御性がさらに向上し、製造の歩留まりがさらに向上し、光起電力素子の耐候性、耐久性がさらに向上した。また、透明導電層の配向性がさらに向上し、透明導電層の多結晶の平均粒径が増大し、粒径のばらつきが小さくなった。その結果、光起電力素子のシリーズ抵抗が減少し、フィルファクター(FF)が向上すると同時に、裏面金属反射層と透明導電層の界面での光の散乱がさらに促進されて、短絡電流(Jsc)がさらに増大した。

【0062】裏面金属反射層の表面は、裏面金属反射層の膜厚を例えば0.1μm以下と薄くした場合には、本発明の基板の表面性を受け継いですじ状の凹凸が表面に現れる。また、裏面金属反射層の膜厚を例えば1μm以上と厚くした場合には、表面が平坦になってくる。

【0063】また、裏面金属反射層の表面に、研磨あるいはエッチングのような処理を施すことによって、線状の凹凸を形成しても良い。

【0064】裏面金属反射層の形成には、EB蒸着、スパッタ蒸着などの各種蒸着法、各種CVD法、メッキ法、印刷法などが用いられる。

【0065】(透明導電層)透明導電層103は、主に以下のような目的で、裏面金属反射層102と半導体層104の間に配置される。まず、光起電力素子の裏面での乱反射を向上させ、薄膜による多重干渉によって光を光起電力素子内に閉じ込めて、半導体層内の光路長を延ばし、光起電力素子の短絡電流(Jsc)を増大させる

こと。次に、裏面電極を兼ねる裏面金属反射層の金属が、半導体層に拡散するかあるいはマイグレーションを起こして、光起電力素子がシャントすることを防止すること。また、透明導電層に若干の抵抗値をもたせることで、半導体層を挟んで設けられた裏面金属反射層102と透明電極107との間に半導体層のピンホール等の欠陥で発生するショートを防止することである。

【0066】透明導電層103は半導体層の吸収可能な波長領域において高い透過率を有することと、適度の低効率が要求される。好ましくは、650nm以上の透過率が80%以上、より好ましくは85%以上、最適には90%以上であることが望ましい。また、抵抗率は好ましくは、 $1 \times 10^{-4} \Omega \text{ cm}$ 以上、 $1 \times 10^{-6} \Omega \text{ cm}$ 以下、より好ましくは、 $1 \times 10^{-2} \Omega \text{ cm}$ 以上、 $5 \times 10^{-4} \Omega \text{ cm}$ 以下であることが望ましい。

【0067】透明導電層103の材料としては、 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、ITO( $\text{In}_2\text{O}_3 + \text{SnO}_2$ )、 $\text{ZnO}$ 、 $\text{CdO}$ 、 $\text{Cd}_2\text{SnO}_3$ 、 $\text{TiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Bi}_2\text{O}_3$ 、 $\text{MoO}_3$ 、 $\text{Na}_2\text{WO}_3$ 等の導電性酸化物あるいはこれらを混合したものが好適に用いられる。また、これらの化合物に、導電率を変化させる元素(ドーパント)を添加しても良い。

【0068】導電率を変化させる元素(ドーパント)としては、例えば透明導電層103がZnOの場合には、Al、In、B、Ga、Si、F等が、また、 $\text{In}_2\text{O}_3$ の場合には、Sn、F、Te、Ti、Sb、Pb等が、また $\text{SnO}_2$ の場合には、F、Sb、P、As、In、Tl、Te、W、Cl、Br、I等が好適に用いられる。

【0069】また、透明導電層103の形成方法としては、EB蒸着、スパッタ蒸着などの各種蒸着法、各種CVD法、スプレー法、スピノン法、デップ法等が好適に用いられる。

【0070】透明導電層103の表面は、平坦であっても良いが、基板表面の前記線状の凹凸に応じた、線状の凹凸があってもよい。

【0071】さらに、透明導電層が多結晶である場合、多結晶の成長によって、表面に成長面に応じた凹凸が形成されることがある。また、基板が、表面に前記線状の凹凸を有することによって、透明導電層の多結晶の平均粒径が拡大し、光の散乱が増大して、光起電力素子の短絡電流(Jsc)が更に向上した。

【0072】(光電変換層)本発明に用いられる光電変換層の材料としては、Si、C、Ge等のIV族元素を用いたもの、あるいはSiGe、SiC、SiSn等のIV族合金元素を用いたもの、あるいはCdS、CdTe等のII-VI族元素を用いたもの、あるいはCuInSe<sub>2</sub>、Cu(InGa)Se<sub>2</sub>、CuInS<sub>2</sub>等のI-III-V族元素を用いたものが用いられる。

【0073】また、以上の半導体材料の中で、本発明の

光起電力装置に特に好適に用いられる半導体材料としては、 $a-Si:H$ （水素化非晶質シリコンの略記）、 $a-Si:F$ 、 $a-Si:H:F$ 、 $a-SiGe:H$ 、 $a-SiGe:F$ 、 $a-SiGe:H:F$ 、 $a-SiC:H$ 、 $a-SiC:F$ 、 $a-SiC:H:F$ 等のIV族及びIV族合金系非晶質半導体材料、あるいは微結晶半導体材料、あるいは多結晶半導体材料が挙げられる。

【0074】また、光電変換層は価電子制御及び禁制帯幅制御を行うことができる。具体的には光電変換層を形成する際に価電子制御剤又は禁制帯幅制御剤となる元素を含む原料化合物を単独で、又は前記堆積膜形成用原料ガス又は前記希釈ガスに混合して成膜空間内に導入してやれば良い。

【0075】また、光電変換層は、価電子制御によって、少なくともその一部が、p型およびn型にドーピングされ、少なくとも一組のpin接合を形成する。そして、pin接合を複数積層することにより、いわゆるスタックセルの構成になる。

【0076】また、光電変換層の形成方法としては、マイクロ波プラズマCVD法、RFプラズマCVD法、光CVD法、熱CVD法、MOCVD法などの各種CVD法によって、あるいはEB蒸着法、MBE、イオンプレーティング、イオンビーム法等の各種蒸着法、スパッタ法、スプレー法、印刷法などによって、形成される。工業的に採用されている方法としては、原料ガスをプラズマで分解し、基板状に堆積させるプラズマCVD法が好んで用いられる。また、反応装置としては、パッチ式の装置や連続成膜装置などが所望に応じて使用できる。

【0077】また、光電変換層の表面は、平坦であってもよいが、基板表面の前記線状の凹凸に応じた、線状の凹凸があってもよい。

【0078】以下、本発明の光起電力装置に特に好適なIV族及びIV族合金系非晶質半導体材料を用いた光電変換層について、さらに詳しく述べる。

【0079】(1) i型半導体層（真性半導体層）特にIV族及びIV族合金系非晶質半導体材料を用いた光起電力層に於て、pin接合に用いるi型層は照射光に対してキャリアを発生輸送する重要な層である。

【0080】i型層としては、僅かp型、僅かn型の層も使用できるものである。

【0081】IV族及びIV族合金系非結晶半導体材料には、上述のごとく、水素原子（H、D）またはハロゲン原子（X）が含有され、これが重要な働きを持つ。

【0082】i型層に含有される水素原子（H、D）またはハロゲン原子（X）は、i型層の未結合手（ダングリングボンド）を補償する働きをし、i型層でのキャリアの移動度と寿命の積を向上させるものである。またp型層/i型層、n型層/i型層の各界面の界面準位を補償する働きをし、光起電力素子の光起電力、光電流そして光応答性を向上させる効果のあるものである。i型層

に含有される水素原子または/及びハロゲン原子は1～40at%が最適な含有量として挙げられる。特に、p型層/i型層、n型層/i型層の各界面側で水素原子または/及びハロゲン原子の含有量が分布しているものが好ましい分布形態として挙げられ、該界面近傍での水素原子または/及びハロゲン原子の含有量はバルク内の含有量の1.1～2.0倍の範囲が好ましい範囲として挙げられる。更にシリコン原子の含有量に対応して水素原子または/及びハロゲン原子の含有量が変化していることが好ましいものである。

【0083】また、スタック型の光起電力素子においては、光入射側に近いpin接合のi型半導体層の材料としては、バンドギャップの広い材料、光入射側に遠いpin接合のi型半導体層の材料としては、バンドギャップの狭い材料を用いることが望ましい。

【0084】非晶質シリコン、非晶質シリコンゲルマニウムは、ダングリングボンドを補償する元素によって、 $a-Si:H$ 、 $a-Si:F$ 、 $a-Si:H:F$ 、 $a-SiGe:H$ 、 $a-SiGe:F$ 、 $a-SiGe:H:F$ 等と表記される。

【0085】さらに、本発明の光起電力素子に好適なi型半導体層の特性としては、水素原子の含有量（ $C_H$ ）が、1.0～25.0%、AM1.5、100mW/cm<sup>2</sup>の疑似太陽光照射下の光電導度（ $\sigma_p$ ）が、 $1.0 \times 10^{-7} S/cm$ 以上、暗電導度（ $\sigma_d$ ）が、 $1.0 \times 10^{-9} S/cm$ 以下、コンスタントフォトルレントメソッド（CPM）によるアーバックエナジーが、44meV以下、局在準位密度は $10^{17}/cm^3$ 以下のものが好適に用いられる。

【0086】(2) p型半導体層またはn型半導体層 p型半導体層またはn型半導体層の非晶質材料（a-と表示する）あるいは微結晶材料（ $\mu c$ -と表示する）としては、例えば $a-Si:H$ 、 $a-Si:HX$ 、 $a-SiC:H$ 、 $a-SiC:HX$ 、 $a-SiGe:H$ 、 $a-SiGe:HX$ 、 $a-SiGeC:H$ 、 $a-SiGeC:HX$ 、 $a-SiO:H$ 、 $a-SiO:HX$ 、 $a-SiN:H$ 、 $a-SiN:HX$ 、 $a-SiON:H$ 、 $a-SiON:HX$ 、 $a-SiOCN:H$ 、 $a-SiOCN:HX$ 、 $\mu c-Si:H$ 、 $\mu c-Si:HX$ 、 $\mu c-SiC:H$ 、 $\mu c-SiC:HX$ 、 $\mu c-SiO:H$ 、 $\mu c-SiO:HX$ 、 $\mu c-SiN:H$ 、 $\mu c-SiN:HX$ 、 $\mu c-SiGeC:H$ 、 $\mu c-SiGeC:HX$ 、 $\mu c-SiON:H$ 、 $\mu c-SiON:HX$ 、 $\mu c-SiOCN:H$ 、 $\mu c-SiOCN:HX$ 、等にp型の価電子制御剤（周期率表II族原子B、Al、Ga、In、Tl）やn型の価電子制御剤（周期率表第V族原子P、As、Sb、Bi）を高濃度に添加した材料が挙げられ、多結晶材料（poly-と表示する）としては、例えばpoly-Si:H、poly-Si:HX、poly-SiC:H、poly-SiC:



HX, poly-SiO:H, poly-SiO:H  
X, poly-SiN:H, poly-SiN:HX,  
poly-SiGeC:H, poly-SiGeC:H  
X, poly-SiON:H, poly-SiON:H  
X, poly-SiOCN:H, poly-SiOC  
N:H, poly-Si, poly-SiC, poly-  
SiO, poly-SiN, 等にp型の価電子制御  
剤(周期率表第III族原子B, Al, Ga, In, Tl)  
やn型の価電子制御剤(周期率表第V族原子P, As,  
Sb, Bi)を高濃度に添加した材料が挙げられ  
る。

【0087】特に光入射側のp型層またはn型層には光  
吸収の少ない結晶性の半導体層からバンドギャップの広  
い非晶質半導体層が適している。

【0088】p型層への周期率表第III族原子の添加  
量およびn型層への周期率表第V族原子の添加量は0.  
1~50at%が最適量として挙げられる。

【0089】またp型層またはn型層に含有される水素  
原子(H, D)またはハロゲン原子はp型層またはn型  
層の未結合手を補償する働きをしp型層またはn型層の  
ドーピング効率を向上させるものである。p型層または  
n型層へ添加される水素原子またはハロゲン原子は0.  
1~40at%が最適量として挙げられる。特にp型層  
またはn型層が結晶性の場合、水素原子またはハロゲン  
原子は0.1~8at%が最適量として挙げられる。更  
にp型層/i型層、n型層/i型層の各界面側で水素原  
子または/及びハロゲン原子の含有量が分布している  
ものが好ましい分布形態として挙げられ、該界面近傍  
での水素原子または/及びハロゲン原子の含有量はバル  
ク内の含有量の1.1~2倍の範囲が好ましい範囲とし  
て挙げられる。このようにp型層/i型層、n型層/i  
型層の各界面近傍で水素原子またはハロゲン原子の含有  
量を多くすることによって該界面近傍の欠陥準位や機械  
的歪みを減少させることができ本発明の光起電力素子の  
光起電力や光電流を増加させることができる。

【0090】光起電力素子のp型層及びn型層の電気特  
性としては活性化エネルギーが0.2eV以下のものが  
好ましく、0.1eV以下のものが最適である。また非  
抵抗としては100Ωcm以下が好ましく、1Ωcm以  
下が最適である。さらにp型層及びn型層の層厚は1~  
50nmが好ましく、3~10nmが最適である。

【0091】また、III-V族元素を用いたp型半導  
体層またはn型半導体層の例としては、CdS, CdTe,  
ZnO, ZnSe等が挙げられ、I-III-V族元素を用いた例  
としては、CuInSe<sub>2</sub>, Cu(InGa)Se<sub>2</sub>, CuInS<sub>2</sub>, CuIn(Se,  
S)<sub>2</sub>, CuInGaSeTe等が挙げられる。

【0092】(3) 光電変換層の形成方法

本発明の光起電力装置の光電変換として、好適なIV族  
及びIV族合金系非晶質半導体層を形成するために、好

適な製造方法は、RFプラズマCVD法あるいはマイクロ  
波プラズマCVD法等の交流あるいは高周波を用いた  
プラズマCVD法である。

【0093】マイクロ波プラズマCVD法は、減圧状態  
にできる堆積室(真空チャンバー)に原料ガス、希釈ガ  
スなどの材料ガスを導入し、真空ポンプによって排気し  
つつ、堆積室内の圧を一定にして、マイクロ波電源によ  
って発振されたマイクロ波を導波管によって導き、誘電  
体窓(アルミナセラミックス等)を介して前記堆積室に  
導入して、材料ガスのプラズマを生起させて分解し、堆  
積室内に配置された基板上に、所望の堆積膜を形成する  
方法であり、広い堆積条件で光起電力装置に適用可能な  
堆積膜を形成することができる。

【0094】本発明の光起電力装置用の半導体層を、マ  
イクロ波プラズマCVD法で、堆積する場合、堆積室内  
の基板温度は100~450℃、内圧は0.5~30m  
Torr、マイクロ波パワーは0.01~1W/cm<sup>2</sup>、  
マイクロ波の周波数は0.1~10GHzが好まし  
い範囲として挙げられる。

【0095】また、RFプラズマCVD法で堆積する場  
合、堆積室内の基板温度は、100~350℃、内圧  
は、0.1~10Torr、RFパワーは、0.001  
~5.0W/cm<sup>2</sup>、堆積速度は、0.1~30Å/s  
ecが好適な条件として挙げられる。

【0096】本発明の光起電力装置に好適なIV族及び  
IV族合金系非晶質半導体層の堆積に適した原料ガスと  
しては、シリコン原子を含有したガス化し得る化合物、  
ゲルマニウム原子を含有したガス化し得る化合物、炭素  
原子を含有したガス化し得る化合物等、及び該化合物の  
混合ガスを挙げるができる。

【0097】具体的にシリコン原子を含有するガス化し  
得る化合物としては、鎖状または環状シラン化合物が用  
いられ、具体的には例えば、SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, Si  
F<sub>4</sub>, SiFH<sub>3</sub>, SiF<sub>2</sub>H<sub>2</sub>, SiF<sub>3</sub>H, Si  
H<sub>3</sub>, SiD<sub>4</sub>, SiHD<sub>3</sub>, SiH<sub>2</sub>D<sub>2</sub>, SiH  
D, SiFD<sub>3</sub>, SiF<sub>2</sub>D<sub>2</sub>, Si<sub>2</sub>D<sub>3</sub>H<sub>3</sub>,  
(SiF<sub>2</sub>)<sub>3</sub>, (SiF<sub>2</sub>)<sub>4</sub>, (SiF<sub>2</sub>)<sub>5</sub>, S  
i<sub>2</sub>F<sub>6</sub>, Si<sub>3</sub>F<sub>8</sub>, Si<sub>2</sub>H<sub>2</sub>F<sub>4</sub>, Si<sub>2</sub>H<sub>3</sub>F  
<sub>3</sub>, SiCl<sub>4</sub>, (SiCl<sub>2</sub>)<sub>3</sub>, SiBr<sub>4</sub>, (S  
iBr<sub>2</sub>)<sub>3</sub>, Si<sub>2</sub>Cl<sub>6</sub>, SiHCl<sub>3</sub>, SiH<sub>2</sub>  
Br<sub>2</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, Si<sub>2</sub>Cl<sub>3</sub>F<sub>3</sub>などのガス  
状態のまたは容易にガス化し得るものが挙げられる。

【0098】具体的にゲルマニウム原子を含有するガス  
化し得る化合物としてはGeH<sub>4</sub>, GeD<sub>4</sub>, GeF  
<sub>4</sub>, GeFH<sub>3</sub>, GeF<sub>2</sub>H<sub>2</sub>, GeF<sub>3</sub>H, GeHD  
<sub>3</sub>, GeH<sub>2</sub>D<sub>2</sub>, GeH<sub>3</sub>D, Ge<sub>2</sub>H<sub>6</sub>, Ge<sub>2</sub>D  
<sub>6</sub>等が挙げられる。

【0099】また、本発明の光起電力素子の第1のp型  
半導体層の形成に用いられるi型半導体層のバンドギャ  
ップを拡大する元素としては、炭素、酸素、窒素等が挙



げられる。

【0100】具体的に炭素原子を含有するガス化し得る化合物としては $\text{CH}_4$ 、 $\text{CD}_4$ 、 $\text{C}_n\text{H}_{2n+2}$  ( $n$ は整数)、 $\text{C}_n\text{H}_n$  ( $n$ は整数)、 $\text{C}_2\text{H}_2$ 、 $\text{C}_6\text{H}_6$ 、 $\text{CO}$ 、 $\text{CO}_2$ 等が挙げられる。

【0101】窒素含有ガスとしては $\text{N}_2$ 、 $\text{NH}_3$ 、 $\text{ND}_3$ 、 $\text{NO}$ 、 $\text{NO}_2$ 、 $\text{N}_2\text{O}$ が挙げられる。

【0102】酸素含有ガスとしては $\text{O}_2$ 、 $\text{CO}$ 、 $\text{CO}_2$ 、 $\text{NO}$ 、 $\text{NO}_2$ 、 $\text{N}_2\text{O}$ 、 $\text{CH}_3\text{CH}_2\text{OH}$ 、 $\text{CH}_3\text{OH}$ 等が挙げられる。

【0103】また、価電子制御するためにp型層に導入される物質としては周期率表第Ⅲ族原子及び第Ⅴ族原子が挙げられる。

【0104】第Ⅲ族原子導入用の出発物質として有効に使用されるものとしては、具体的にはホウ素原子導入用としては、 $\text{B}_2\text{H}_6$ 、 $\text{B}_4\text{H}_{10}$ 、 $\text{B}_5\text{H}_9$ 、 $\text{B}_5\text{H}_{11}$ 、 $\text{B}_6\text{H}_{10}$ 、 $\text{B}_6\text{H}_{12}$ 、 $\text{B}_6\text{H}_{14}$ 等の水素化ホウソ、 $\text{BF}_3$ 、 $\text{BCl}_3$ 、等のハロゲン化ホウソ等を挙げることができる。このほかに $\text{AlCl}_3$ 、 $\text{GaCl}_3$ 、 $\text{InCl}_3$ 、 $\text{TlCl}_3$ 等も挙げることができる。特に $\text{B}_2\text{H}_6$ 、 $\text{BF}_3$ が適している。

【0105】第Ⅴ族原子導入用の出発物質として有効に使用されるのは、具体的には燐原子導入用としては $\text{PH}_3$ 、 $\text{P}_2\text{H}_4$ 等の水素化燐、 $\text{PH}_3\text{I}$ 、 $\text{PF}_3$ 、 $\text{PF}_5$ 、 $\text{PCl}_3$ 、 $\text{PCl}_5$ 、 $\text{PBr}_3$ 、 $\text{PBr}_5$ 、 $\text{PI}_3$ 等のハロゲン化燐が挙げられる。このほか $\text{AsH}_3$ 、 $\text{AsF}_3$ 、 $\text{AsCl}_3$ 、 $\text{AsBr}_3$ 、 $\text{AsF}_5$ 、 $\text{SbH}_3$ 、 $\text{SbF}_3$ 、 $\text{SbF}_5$ 、 $\text{SbCl}_3$ 、 $\text{SbCl}_5$ 、 $\text{BiH}_3$ 、 $\text{BiCl}_3$ 、 $\text{BiBr}_3$ 等も挙げることができる。特に $\text{PH}_3$ 、 $\text{PF}_3$ が適している。

【0106】また前記ガス化し得る化合物を $\text{H}_2$ 、 $\text{He}$ 、 $\text{Ne}$ 、 $\text{Ar}$ 、 $\text{Xe}$ 、 $\text{Kr}$ 等のガスで適宜希釈して堆積室に導入しても良い。

【0107】特に微結晶あるいは多結晶半導体やa-SiC:H等の光吸収の少ないかバンドギャップの広い層を堆積する場合は水素ガスで2～100倍に原料ガスを希釈し、マイクロ波パワー、あるいはRFパワーは比較的高いパワーを導入するのが好ましいものである。

【0108】(透明電極)本発明に於て、透明電極107は光を透過する、光入射側の電極であるとともに、その膜厚を最適化する事によって反射防止膜としての役割も兼ねる。透明電極107は半導体層の吸収可能な波長領域において高い透過率を有することと、抵抗率が低いことが要求される。好ましくは、550nm以上の波長における透過率が、80%以上、より好ましくは、85%以上であることが望ましい。また、抵抗率は好ましくは、 $5 \times 10^{-3} \Omega \text{cm}$ 以下、より好ましくは、 $1 \times 10^{-3} \Omega \text{cm}$ 以下であることが望ましい。その材料としては、 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、ITO ( $\text{In}_2\text{O}_3 + \text{SnO}_2$ )、 $\text{ZnO}$ 、 $\text{CdO}$ 、 $\text{Cd}_2\text{SnO}_4$ 、 $\text{TiO}_2$ 、

$\text{Ta}_2\text{O}_5$ 、 $\text{Bi}_2\text{O}_3$ 、 $\text{MoO}_3$ 、 $\text{Na}_2\text{WO}_4$ 等の導電性酸化物あるいはこれらを混合したものが好適に用いられる。また、これらの化合物に、導電率を変化させる元素(ドーパント)を添加しても良い。

【0109】導電率を変化させる元素(ドーパント)としては、例えば透明電極107が $\text{ZnO}$ の場合には、 $\text{Al}$ 、 $\text{In}$ 、 $\text{B}$ 、 $\text{Ga}$ 、 $\text{Si}$ 、 $\text{F}$ 等が、また $\text{In}_2\text{O}_3$ の場合には、 $\text{Sn}$ 、 $\text{F}$ 、 $\text{Te}$ 、 $\text{Ti}$ 、 $\text{Sb}$ 、 $\text{Pb}$ 等が、また $\text{SnO}_2$ の場合には、 $\text{F}$ 、 $\text{Sb}$ 、 $\text{P}$ 、 $\text{As}$ 、 $\text{In}$ 、 $\text{Tl}$ 、 $\text{Te}$ 、 $\text{W}$ 、 $\text{Cl}$ 、 $\text{Br}$ 、 $\text{I}$ 等が好適に用いられる。

【0110】また、透明電極107の表面(すなわち表面保護層を除いた光起電力素子の表面)は、平坦であっても良いが、基板表面の前記すじ状の凹凸に応じた、すじ状の凹凸があってもよい。

【0111】また、透明電極107の形成方法としては、EB蒸着、スパッタ蒸着などの各種蒸着法、各種CVD法、スプレー法、スピノン法、デップ法等が好適に用いられる。

【0112】(集電電極)本発明に於て、集電電極108は、透明電極107の抵抗率が充分低くできない場合に必要に応じて透明電極107上の一部分に形成され、電極の抵抗率を下げ光起電力素子の直列抵抗を下げる働きをする。その材料としては、金、銀、銅、アルミニウム、ニッケル、鉄、クロム、モリブデン、タングステン、チタン、コバルト、タンタル、ニオブ、ジルコニウム等の金属、またはステンレス等の合金、あるいは粉末状金属を用いた導電ペーストなどが挙げられる。そしてその形状は、できるだけ半導体層への入射光を遮らないように、例えば図4のように枝状に形成される。

【0113】また、光起電力装置の全体の面積の中で、集電電極の占める面積は、好ましくは15%以下、より好ましくは10%以下、最適には5%以下が望ましい。

【0114】また、集電電極のパターンの形成には、マスクを用い、形成方法としては、蒸着法、スパッタ法、メッキ法、印刷法などが用いられる。

【0115】なお、本発明の光起電力素子を用いて、所望の出力電圧、出力電流の光起電力装置(モジュールあるいはパネル)を製造する場合には、本発明の光起電力素子を直列あるいは並列に接続し、表面と裏面に保護層を形成し、出力の取り出し電極等が取り付けられる。このとき、光起電力素子を形成した基板を、別の支持基板の上に配置することもある。また、本発明の光起電力素子を直列接続する場合、逆流防止用のダイオードを組み込むことがある。

【0116】

【実施例】以下、非単結晶シリコン系半導体材料からなる光起電力素子およびフォトダイオードの作製によって本発明の光起電力素子を詳細に説明するが、本発明はこれに限定されるものではない。

【0117】《実施例1》

(線状の凹凸を有する基板の効果) SUS板の処理方法として圧延処理後のスラブを光輝焼鈍後、更に表面のエッチング処理を行ったものを基板として用いた図1の構成を有する光起電力素子を作製した。

【0118】まず、基板の作製から行った。

【0119】冷間圧延処理の終わったスラブを光輝焼鈍した後、スキンプラス圧延処理を行い表面を仕上げた第1-1表に示す厚さ0.15mm、50×50mm<sup>2</sup>のSUS板(不図示)に対し、第1-1表に示すように室温を温度制御されているフッ硝酸(モル比HF:HNO<sub>3</sub>:H<sub>2</sub>O=1:3:15)から成る酸を用いてエッチング処理を行った。

【0120】酸処理を行った基板の一部は評価用に残し(サンプル実1-1)、その他の基板はスパッタリング装置により反射層の形成を行った。

【0121】まず、図5に示すDCマグネトロンスパッタリング装置を用いてAl光反射層を形成した。図5のヒーター503にこの酸処理されたSUS430BA板502を密着させ、油拡散ポンプが接続された排気口から堆積室501を真空排気した。圧力が1×10<sup>-4</sup>Torrになったところでバルブ514を開け、マスフローコントローラー516を調整してArガスを50sccm導入し、圧力が7mTorrになるようにコンダクタンスバルブ513で調節した。トロイダルコイルに6から-380VのDC電力をAlターゲット504に印加し、Arプラズマを生起した。

【0122】ターゲットシャッター507を開けてステンレス板表面上に層厚0.05μmのAlの光反射層を形成したところでシャッターを閉じ、プラズマを消滅させ、Al反射層の作製を終えた。

【0123】次に反射層と同様の形成方法でZnO薄膜層を形成した。堆積室にArガスを40sccm導入し、基板温度を200℃、圧力5mTorrとし、スパッタ電源510から-500VのDC電力をZnOターゲット508に印加し、Arプラズマを生起した。

【0124】ターゲットシャッター511を開け、反射層表面上に層厚1.0μmのZnO薄膜層を形成したところでシャッターを閉じ、プラズマを消滅させた。

【0125】透明導電層を作成した段階で基板の一部は評価用に残し(サンプル実1-2)、その他の基板はCVD装置により半導体層の形成を行った。

【0126】次にZnO薄膜層上にn層、i層、p層を図6に示す多室分離型の堆積装置で順次形成した。a-Siからなるn層及びμc-Siからなるp層はRFPCVD法で形成し、a-Siからなるi層はRFPCVD法及びMWP-CVD法で形成した。作製手順は、以下の様にして行った。

【0127】まず、全ての搬送系及び堆積室を10<sup>-4</sup>Torr台に真空引きした。基板ホルダー690に基板をセットしロードロック室601に入れた。ロードロック

室を不図示のメカニカルブースターポンプ/ロータリーポンプで10<sup>-4</sup>Torr台の真空度まで真空引きし、ターボ分子ポンプに切り替えて10<sup>-4</sup>Torr台まで真空引きした。ゲートバルブ606を開け、基板ホルダー690をn型層搬送室602に搬送した。

【0128】ゲートバルブ606を閉じる。基板加熱用ヒーター610下に基板を移動させ、水素ガスを流し、成膜時の圧力とほぼ同じ圧力にし、基板加熱用ヒーター610で第1-1表に示す温度に加熱し安定化させた。マスフローコントローラー636~639、ストップバルブ630~634、641~644でn型層堆積用の第1-1表に示す原料ガスを堆積室に供給した。RF導入用カップ620へRF電源622から第1-1表に示すRF電力を投入した。所望の堆積時間堆積して第1-1表に示す層厚のn型層を堆積した。n型層堆積用の原料ガスの供給を停止して、ターボ分子ポンプで10<sup>-4</sup>Torr台の真空度まで排気した。基板加熱用ヒーター610を上へ上げゲートバルブ607を開け、基板ホルダーをMW-iまたはRF-i搬送室603に移動した。ゲートバルブ607を閉じた。基板加熱用ヒーター611の下に基板を搬送して、基板加熱用ヒーター611を下げて基板を第1-1表に示す基板温度に加熱し、安定化させた。RF-i層を堆積した。RF-i層は、堆積室618にMW-iまたはRF-i層堆積用ガス供給設備(ガス供給管649、ストップバルブ650~655、661~665、マスフローコントローラー656~660)からRF-i層堆積用の第1-1表に示す原料ガスを供給した。RF-i層堆積用の第1-1表に示す真空度になる様に排気ポンプで調節した。バイアス印加用電極628に不図示のRF電源から所望のRF電力を導入し、RFプラズマCVD法によりRF-i層を第1-1表に示す層厚で前記n型層上に堆積した。原料ガスの供給を停止し、堆積室内をターボ分子ポンプで10<sup>-4</sup>Torr台に排気した。同時に基板温度をMW-i層の堆積に適した第1-1表に示す温度に設定し保持した。MW-i層の堆積に適した第1-1表に示す原料ガスをMW-iまたはRF-i層堆積用ガス供給設備から堆積室618へ供給した。不図示の拡散ポンプ等の排気装置によって、堆積室内の真空度を第1-1表に示す真空度に保持した。不図示のMW電源から第1-1表に示すMW電力を堆積室618へ導入した。同時に不図示のRF電源からバイアス電極628へ第1-1表に示すバイアス電力を導入した。シャッター627を開け基板上に本発明のマイクロ波プラズマCVD法でMW-i層を堆積した。その後MW-i層の堆積に適した第1-1表に示す原料ガスをMW-iまたはRF-i層堆積用ガス供給設備から堆積室618へ供給し所定の層厚のMW-i層を形成した後シャッターを閉じMW電力等を停止し原料ガスの供給を停止した。堆積室618内を、ターボ分子ポンプで10<sup>-4</sup>Torr台に排気した。前記RF-i層の

堆積と同様にして、MW-i層上にRF-i層を第1-1表に示す条件で堆積した。RF-i層の堆積後も10<sup>-4</sup>Torr台に堆積室内を排気した。基板加熱用ヒーター611を基板から離し、ゲートバルブ608を開けて基板ホルダー690をp型層搬送室604に移動させる。ゲートバルブ608を閉じ、基板加熱用ヒーター612下に基板を移動させて、基板温度を第1-1表に示す基板温度に設定し、安定化させる。p型層堆積用ガス供給設備（ストップバルブ670～674、681～684、マスフローコントローラー676～679）からp型層堆積用ガスを堆積室619に供給した。不図示の排気ポンプで堆積室内の真空度を第1-1表に示す真空度になる様に調節した。RF導入用カップ621にRF電源623から第1-1表に示す電力を導入し、RFプラズマCVD法によりp型層を第1-1表に示す層厚に堆積した。以上の様にしてpin構造が基板上に形成さ\*

## 第1-1表

SUS処理 圧延処理/光起焼鈍

スキンプラス圧延 有り

表面研磨 無し

表面処理 フッ硝酸 (HF:HNO<sub>3</sub>:H<sub>2</sub>O=1:3:15) 超音波30秒間

裏面金属反射層 Al 50nm 基板温度RT

透明導電層 ZnO 1μm 基板温度200℃

n型層 SiH<sub>4</sub> 1sccm H<sub>2</sub> 45sccmPH<sub>3</sub> (H<sub>2</sub>で1%希釈) 0.5sccm

圧力 1.2Torr RF電力 2W

基板温度 330℃ 厚さ 20nm

RF-i層 Si<sub>2</sub>H<sub>6</sub> 4sccm H<sub>2</sub> 90sccm

圧力 0.5Torr RF電力 1.7W

基板温度 300℃ 厚さ 10nm

MW-i層 SiH<sub>4</sub> 40sccm GeH<sub>4</sub> 40sccmH<sub>2</sub> 150sccm

圧力 8mTorr MW電力 200W

RFバイアス電力 700W

基板温度 380℃ 厚さ 70nm

RF-i層 Si<sub>2</sub>H<sub>6</sub> 4sccm H<sub>2</sub> 90sccm

圧力 0.5Torr RF電力 1.7W

基板温度 300℃ 厚さ 20nm

水素プラズマ処理

H<sub>2</sub> 80sccm

圧力 2.0Torr RF電力 30W

基板温度 200℃

p型層 SiH<sub>4</sub> (H<sub>2</sub>希釈10%) 0.25sccmH<sub>2</sub> 35sccmBF<sub>3</sub> (H<sub>2</sub>希釈10%) 0.25sccm H<sub>2</sub> 35sccmBF<sub>3</sub> (H<sub>2</sub>希釈2%) 2sccm

圧力 2Torr RF電力 30W 基板温度200℃

透明電極 ITO 反応性蒸着法70nm

集電電極 Cr(100nm)/Ag(1μm)/Cr(100nm)

\*れるものである。

【0129】次に、ガスの流入を止め、5分間、H<sub>2</sub>ガスを流し続けた後、H<sub>2</sub>ガスの流入も止め、堆積室内およびガス配管内を1×10<sup>-5</sup>Torrまで真空排気し、基板をアンロード室605に移動した。基板を十分冷却した後、取り出した。

【0130】次に、p層上に、透明電極として、第1-1表に示すITOを抵抗加熱真空蒸着法で真空蒸着した。そして次に透明電極上に楕形の穴が開いたマスクを乗せ、第1-1表に示すようにCr/Ag/Crからなる楕形の集電電極を電子ビーム真空蒸着法で真空蒸着した。以上で図1の構成を有する光起電力素子の作製を終えた。この光起電力素子を（素実7-1）と呼ぶことにする。

【0131】

【表1】

【0132】〈比較例1-1〉SUS板の処理を行う際に、加えて砥石研磨およびバフ研磨仕上げを行った以外は実施例1と同じ条件でサンプル（サンプル比1-

1）、（サンプル比1-4）及び光起電力素子（素比1-1）を作製した。

【0133】〈比較例1-2〉SUS板の処理を行う際

に、加えて砥石研磨、バフ研磨および電界研磨仕上げを行った以外は実施例と1の同じ条件でサンプル（サンプル比1-2）、（サンプル比1-5）及び光起電力素子（素比1-2）を作製した。

【0134】〈比較例1-3〉SUS板の処理を行う際に、光起焼鈍後機械的に荒らしたロールで圧延し表面をテクスチャー処理した以外は実施例1と同じ条件でサンプル（サンプル比1-3）、（サンプル比1-6）及び光起電力素子（素比1-3）を作製した。

【0135】実施例1及び比較例1-1、比較例1-2、比較例1-3で表面処理まで行った基板（サンプル実1-1）、（サンプル比1-1）、（サンプル比1-2）、（サンプル比1-3）については、それぞれ電子顕微鏡（SEM）による表面形状観察を行なった。

【0136】その結果を第1-2表に示す。

【0137】（サンプル実1-1）では表面に一定方向の線状凹凸が認められたものの、（サンプル比1-1）、（サンプル比1-2）では表面はほぼ平坦で線状凹凸はなく、（サンプル比1-3）では表面全体が凹凸のテクスチャー構造となっており線状凹凸は認められな

かった。  
【0138】また、実施例1及び比較例1-1、比較例1-2、比較例1-3で透明導電層まで作成した基板、（サンプル実1-2）、（サンプル比1-4）、（サンプル比1-5）、（サンプル比1-6）については、それぞれZnO結晶粒径を調べた。また、積分球を備えた分光光度計（HITACHI社製U4000）を用いてそれぞれのサンプルについて全反射率（正反射率と拡散反射率の和）及び拡散反射率を求めた。

【0139】その結果を第1-3表に示す。数値は、サンプル実1-2について規格化されている。

【0140】（サンプル実1-2）では第1-3表のように透明導電層を形成するZnOの結晶粒径が大きく、全反射率／拡散反射率、共に優れているのに対し、（サンプル比1-4）、（サンプル比1-5）では結晶粒径が小さく拡散反射率が低く、（サンプル比1-6）においては拡散反射率が高いものの全反射率が若干低いものとなった。

【0141】実施例1及び比較例1-1、比較例1-2、比較例1-3で作成した光起電力素子、（素実1-1）及び（素比1-1）、（素比1-2）、（素比1-3）については、それぞれ5個づつ作製し、全ての光起電力素子について更に25個づつサブセルに分けた後、暗所で-1.0Vの逆バイアス電圧をかけた状態でシャント抵抗を測定した。シャント抵抗の基準値を $3.0 \times 10^4 \Omega \text{ cm}^2$ とし、歩留りを調べた。更に続いて、密着性試験、初期光電変換効率（光起電力／入射光電力）\*

\* 光劣化、光劣化、高温高湿度逆バイアス（HHRB）劣化、及び温湿度劣化の測定を行なった。

【0142】◇密着性試験については、作成された光起電力素子に格子状に1mm間隔で10本づつの切り傷をつけ、100個のます目をつける。セロハン粘着テープをはりつけ、十分に付着した後に瞬間的に引きはがし、はがれた部分の面積で評価を行なった。

【0143】◇初期光電変換効率の測定は、作製した光起電力素子、AM-1.5（100mW/cm<sup>2</sup>）光照射下に設置して、V-I特性を測定することにより得られる。

【0144】◇光劣化の測定は、予め初期光電変換効率を測定しておいた光起電力素子を、湿度50%、温度25℃の環境に設置し、AM-1.5光を500時間照射後の、AM1.5光照射下での光電変換効率の低下率（光劣化試験後の光電変換効率／初期光電変換効率）により行なった。

【0145】◇高温高湿度逆バイアス（HHRB）劣化の測定は、予め初期光電変換効率を測定しておいた光起電力素子を温度80℃、湿度80%の暗所に設置し光起電力素子に逆バイアスを0.8V印加し100時間保持、その後のAM1.5光照射下での光電変換効率の低下率（HHRB劣化試験後の光電変換効率／初期光電変換効率）により行なった。

【0146】◇温湿度サイクル劣化の測定は、予め初期光電変換効率を測定しておいた光起電力素子を温度85℃、湿度85%の暗所に設置し3時間保持、その後約70分間かけて温度-40℃まで下げ30分間保持、再び70分間かけて温度85℃、湿度85%まで戻す、このサイクルを20回繰り返した後の、AM1.5光照射下での光電変換効率の低下率（温湿度サイクル劣化試験後の光電変換効率／初期光電変換効率）により行なった。





【0147】これらの結果を第1-4表に示す。数値は素実1-1について規格化されている。

【0148】測定の結果、（素実1-1）に対して（素比1-1）、（素比1-2）は歩留り及び密着性において低い値となった。また各劣化試験後の光電変換効率も劣っているが、これらの差は主に密着性に起因するシリーズ抵抗の増大によるFFの低下が原因である。（素実1-1）に対して（素比1-3）は、初期光電変換効率、及び各劣化後の光電変換効率が全て低い値となった。初期光電変換効率については、基板表面の凹凸が大きく半導体層部分に欠陥が生じシャント抵抗が減少したことによるFFの低下およびVocの低下が原因である。

【0149】

【表2】

第1-2表

サンプルNo	線状の凹凸	表面形状 (概略形状)
サンプル実1-1	有	 線状の凹凸方向に垂直な向きの断面図
サンプル比1-1	無し	 ほぼ平坦
サンプル比1-2	無し	 ほぼ平坦
サンプル比1-3	無し	 テクスチャー

【0150】

【表3】

第1-3表

サンプルNo	平均結晶粒径比	全反射率	拡散反射率
サンプル実1-2	1.0	1.0	1.0
サンプル比1-4	0.87	0.98	0.72
サンプル比1-5	0.89	0.98	0.72
サンプル比1-6	0.93	0.75	0.93

第1-4表

セルNo	歩留り	密着性	初期効率	光劣化後効率	HHRB劣化後効率	温湿度劣化後効率
素実1-1	1.0	1.0	1.0	1.0	1.0	1.0
素比1-1	0.87	0.84	0.91	0.92	0.88	0.87
素比1-2	0.81	0.81	0.89	0.89	0.90	0.90
素比1-3	0.91	0.91	0.83	0.81	0.83	0.85

【0151】以上のように本発明の光起電力素子（素実1-1）は、従来の光起電力素子（素比1-1）、（素比1-2）、（素比1-3）よりも優れた特性を有することが分かった。

【0152】《実施例2》

（Ra（X）、Ra（Y）およびRa（X）/Ra（Y）の最適値）SUS板の処理方法として圧延処理後のスラブを焼鈍、酸洗、研磨、表面のエッチング処理を行った第2-1表に示す厚さ0.20mm、50×50

40 mm<sup>2</sup>の基板（不図示）上に図1の構成（ただし裏面金属反射層を除く）を有する光起電力素子を作製した。

【0153】まず、基板の作製から行った。

【0154】冷間圧延処理の終わったスラブを第2-1表に示すように光起焼鈍、または焼鈍・酸洗、スキンバス圧延の有無、更にその後の第2-1表に示すような機械研磨、もしくは電界研磨を行った。その後、第2-1表に示す条件で以下の表面エッチング処理を行った。

【0155】実図5に示すスパッタリング装置を用いて基板表面のエッチング処理を行った。まず図5のヒータ\*50

\*-503にこの基板502を密着させ基板温度がRT~200℃となるように設定した。次に排気口から処理室501を真空排気し、圧力が $1 \times 10^{-6}$  Torrになったところでバルブ514を開け、マスフローコントローラ516を調整してArガスを50 sccm導入し、圧力が6mTorrになるようにコンダクタンスバルブ513で調節した。スパッタ電源506から100~600WのRF電力を基板に印加し、Arプラズマを生起した。5~10分間Arプラズマを維持した後、プラズマを消滅させ、エッチング処理を終えた。

【0156】これらの処理を行った基板については一部を評価用に残し、その他の基板については実施例1と同様に第2-1表に示す条件で半導体層の形成を行った。

【0157】その後、基板はCVD装置により第2-1表に示す条件でpin型半導体層、In<sub>2</sub>O<sub>3</sub>透明電極、集電電極を形成し光起電力素子を作製した（実-2）。

【0158】

【表4】

## 第2-1表

SUS処理	圧延処理／光輝焼鈍または焼鈍・酸洗
スキンプラス圧延	有または無
表面研磨	下記各種研磨法より適宜選択 ・機械研磨（ベルト研磨またはバフ研磨またはパレル研磨） ・電界研磨 ・研磨無し
表面処理	RFスパッタリングArプラズマ RF100W～600W 5～80分間 基板温度 RT～200℃
n型層	SiH <sub>4</sub> 1sccm H <sub>2</sub> 45sccm PH <sub>3</sub> (H <sub>2</sub> で1%希釈) 0.5sccm 圧力 1.2Torr RF電力2W 基板温度330℃ 厚さ20nm
RF-i層	Si <sub>2</sub> H <sub>6</sub> 4sccm H <sub>2</sub> 90sccm 圧力 0.5Torr RF電力1.7W 基板温度300℃ 厚さ10nm
MW-i層	SiH <sub>4</sub> 40sccm GeH <sub>4</sub> 40sccm H <sub>2</sub> 150sccm 圧力 8mTorr MW電力 200W RFバイアス電力 700W 基板温度 380℃ 厚さ 70nm
RF-i層	Si <sub>2</sub> H <sub>6</sub> 4sccm H <sub>2</sub> 90sccm 圧力 0.5Torr RF電力 1.7W 基板温度 300℃ 厚さ 20nm
水素プラズマ処理	H <sub>2</sub> 80sccm 圧力 2.0Torr RF電力 30W 基板温度 200℃
p型層	SiH <sub>4</sub> (H <sub>2</sub> 希釈10%) 0.25sccm H <sub>2</sub> 35sccm BF <sub>3</sub> (H <sub>2</sub> 希釈2%) 2sccm 圧力 2Torr RF電力 30W 基板温度200℃
透明電極	In <sub>2</sub> O <sub>3</sub> 反応性蒸着法 70nm
集電電極	Cr(100nm)/Ag(1μm)/Cr(100nm)

【0159】実施例1と同様に表面処理まで行った基板については表面形状観察を行い、触針式表粗さ測定器（TENCOR社アルファステップ）を用いて、線状凹凸のある基板について、線状凹凸に平行な方向の粗さRa(X)および線状凹凸に垂直な方向の粗さRa(Y)を調べた。スキヤンする長さLは400μmで、1μmあたり5データ測定した。

【0160】その結果、Ra(X)は5～350nm、Ra(Y)は8～650nmの範囲であった。

【0161】光起電力素子については、各条件の基板についてそれぞれ作製し、更に25個づつのサブセルに分けた後、歩留りを調べ、更に密着性試験、高温高湿度逆バイアス(HHRB)劣化、及び温湿度劣化の各試験を行った。

【0162】まず歩留り評価の結果を図8-aに示す。

【0163】図中、Ra(X)=30nm、Ra(Y)=50nm、Ra(X)/Ra(Y)=0.6の素子を基準として○とし、歩留りがより優れている素子については◎、劣っている素子については△、より劣っている

素子については●とした。

【0164】この結果より、Ra(X)=15～300nm、かつRa(Y)=20～600nm、かつRa(X)/Ra(Y)≤0.8である基板を用いた場合には良好な歩留りを持つ優れた光起電力素子が得られ、特にRa(X)=25～150nm、かつRa(Y)=60～300μm、かつRa(X)/Ra(Y)≤0.8である基板を用いた場合においてはさらに優れた光起電力素子が得られた。

【0165】一方、Ra(X)>300nmである基板、またはRa(X)>600nmである基板、さらにまたはRa(Y)>20nmかつRa(X)/Ra(Y)>0.8である基板を用いた光起電力素子では、基板の大きな凹凸が原因となるシャント抵抗の低下により歩留りが低下した。

【0166】また、300nm≤Ra(X)かつ20nm>Ra(Y)である基板、または15nm>Ra(X)かつ600nm≤Ra(Y)である基板を用いた光起電力素子では、はがれが原因となり歩留りが低下し



た。

【0167】次に、高温高湿度逆バイアス（HHRB）劣化試験、及び温湿度劣化試験による耐久性評価の結果を図8-bに示す。

【0168】図中、 $Ra(X) = 30\text{ nm}$ 、 $Ra(Y) = 50\text{ nm}$ 、 $Ra(X)/Ra(Y) = 0.6$ の素子を基準として○とし、耐久性がより優れている素子については◎、劣っている素子については△、より劣っている素子については●とした。

【0169】この結果より、 $Ra(X) = 15 \sim 300\text{ nm}$ 、かつ $Ra(Y) = 20 \sim 600\text{ nm}$ 、かつ $Ra(X)/Ra(Y) \leq 0.8$ である基板を用いた場合には良好な耐久性を持つ優れた光起電力素子が得られ、特に $Ra(X) = 25 \sim 150\text{ nm}$ 、かつ $Ra(Y) = 60 \sim 300\text{ nm}$ 、かつ $Ra(X)/Ra(Y) \leq 0.8$ である基板を用いた場合においてはさらに優れた光起電力素子が得られた。

【0170】一方、 $Ra(X) > 300\text{ nm}$ である基板、または $Ra(X) > 600\text{ nm}$ である基板、さらにまたは $Ra(Y) > 20\text{ nm}$ かつ $Ra(X)/Ra(Y) > 0.8$ である基板を用いた光起電力素子では、耐久性評価後開放電圧（ $V_{oc}$ ）の低下による素子特性の劣化が見られた。

【0171】また、 $300\text{ nm} \geq Ra(X)$ かつ $20\text{ nm} > Ra(Y)$ である基板、または $15\text{ nm} > Ra(X)$ かつ $600\text{ nm} \geq Ra(Y)$ である基板を用いた光起電力素子では、耐久性評価中にはがれが原因となるシリーズ抵抗の増大により素子特性は大きく劣化した。

【0172】以上のように本発明の、 $Ra(X) = 15*$

\* $\sim 300\text{ nm}$ 、かつ $Ra(Y) = 20 \sim 600\text{ nm}$ 、かつ $Ra(X)/Ra(Y) \leq 0.8$ である線状凹凸を有する基板を用いた光起電力素子は優れた特性を有することが分かった。

【0173】《実施例3》

（裏面金属反射層AlSi及び透明導電層ZnOを有する場合）実施例2と同様に、SUS板の処理方法として圧延処理後のスラブを焼鈍、酸洗、研磨、表面のエッチング処理を行った第2-1表に示す厚さ0.15mm、 $50 \times 50\text{ mm}^2$ の基板（不図示）上に図1の構成を有する光起電力素子を作製した。

【0174】実施例2と同様に、基板の作製は冷間圧延処理の終わったスラブを、第3-1表に示すように光輝焼鈍、または焼鈍・酸洗、スキンプラス圧延の有無による処理を行い、更にその後の第3-1表に示すような機械研磨、もしくは電界研磨を行った。その後、第3-1表に示す条件でスパッタリング装置を用いて基板表面のエッチング処理を行った。

【0175】エッチング処理を行った基板の一部は評価用に残し、その他の基板については実施例1と同様に第3-1表に示す条件でAlSi反射層の形成を行った。

【0176】その後、実施例1と同様に、第3-1表に示す条件でZnO透明電極層を形成し、基板の一部は評価用に残し、その他の基板はCVD装置により第3-1表に示す条件でpin型半導体層、 $\text{In}_2\text{O}_3$ 透明電極、集電電極を形成し光起電力素子を作成した。

【0177】

【表5】

第3-1表

SUS処理	圧延処理／光輝焼鈍または焼鈍・酸洗
スキンプラス圧延	有または無
表面研磨	機械研磨（ベルト研磨またはバフ研磨またはバレル研磨） 電界研磨 研磨無し
表面処理	RFスパッタリング RF100W～600W 5～80分間 基板温度 RT～200℃
反射層	AlSi 100nm 基板温度RT
透明導電層	ZnO 1μm 基板温度300℃
n型層	SiH <sub>4</sub> 1sccm H <sub>2</sub> 50sccm PH <sub>3</sub> (H <sub>2</sub> で1%希釈) 0.5sccm 圧力 1.2Torr RF電力 2W 基板温度 330℃ 厚さ 20nm
RF-i層	Si <sub>2</sub> H <sub>6</sub> 4sccm H <sub>2</sub> 90sccm 圧力 0.5Torr RF電力 1.7W 基板温度 300℃ 厚さ 10nm
MW-i層	SiH <sub>4</sub> 50sccm GeH <sub>4</sub> 50sccm H <sub>2</sub> 200sccm 圧力 8mTorr MW電力 200W RFバイアス電力 700W 基板温度 380℃ 厚さ 70nm
RF-i層	Si <sub>2</sub> H <sub>6</sub> 4sccm H <sub>2</sub> 90sccm 圧力 0.5Torr RF電力 1.7W 基板温度 300℃ 厚さ 20nm
水素プラズマ処理	H <sub>2</sub> 80sccm 圧力 2.0Torr RF電力 30W 基板温度 200℃
p型層	SiH <sub>4</sub> (H <sub>2</sub> 希釈10%) 0.25sccm H <sub>2</sub> 35sccm BF <sub>3</sub> (H <sub>2</sub> 希釈2%) 2sccm 圧力 2Torr RF電力 30W 基板温度 200℃
透明電極	In <sub>2</sub> O <sub>3</sub> 反応性蒸着法 70nm
集電電極	Cr(100nm)/Ag(1μm)/Cr(100nm)

【0178】実施例2と同様に表面処理まで行った基板については表面形状観察を行い、触針式表粗さ測定器を用いて、スジ状凹凸のある基板について、スジ状凹凸に平行な方向の粗さRa(X)およびスジ状凹凸に垂直な方向の粗さRa(Y)を調べた。

【0179】その結果、Ra(X)は5～350nm、Ra(Y)は8～650nmの範囲であった。

【0180】また実施例1と同様に透明導電層まで作成した基板については、それぞれ表面形状観察を行い、ZnO結晶粒径を調べ全反射率及び乱反射率を求めた。

【0181】その結果、結晶粒径についてはRa(X)が15nm以上でありかつRa(Y)が20nm以上であれば良好な大きさに成長することがわかった。一方全反射率及び乱反射率は、おもにRa(X)＞300nm、またはRa(X)＞600nm、さらにまたはRa(Y)＞20nmかつRa(X)/Ra(Y)＞0.8であるとき全反射率が低下し、乱反射率もその影響を受けて低下した。また、おもに300nm≧Ra(X)かつ200nm＞Ra(Y)、または15nm＞Ra

(X)かつ600nm≧Ra(Y)であるときは、全反射率は良好であるものの乱反射率が低下するのに対し、Ra(X)=15～300nm、かつRa(Y)=20～600nm、かつRa(X)/Ra(Y)≦0.8である基板を用いた場合には良好な耐久性を持つ優れた光起電力素子が得られ、特にRa(X)=25～150nm、かつRa(Y)=60～300nm、かつRa(X)/Ra(Y)≦0.8であるとき、全反射率/乱反射率共に優れていることがわかった。

【0182】光起電力素子については、各条件の基板についてそれぞれ作製し、更に25個づつのサブセルに分けた後、歩留りを調べ、更に密着性試験、高温高湿度逆バイアス(HHRB)劣化、及び温湿度劣化の各試験を行った。

【0183】まず歩留り評価の結果を図9-aに示す。

【0184】図中、良好な歩留りが得られたRa(X)=30nm、Ra(Y)=50nm、Ra(X)/Ra(Y)=0.6の素子を基準として○とし、歩留りがより優れている素子については◎、劣っている素子につい

ては△、より劣っている素子については●とした。

【0185】この結果より、 $Ra(X) = 15 \sim 300$  nm、かつ $Ra(Y) = 20 \sim 600$  nm、かつ $Ra(X)/Ra(Y) \leq 0.8$ である基板を用いた場合には良好な歩留りで優れた光起電力素子が得られ、特に $Ra(X) = 25 \sim 150$  nm、かつ $Ra(Y) = 60 \sim 300$  nm、かつ $Ra(X)/Ra(Y) \leq 0.8$ である基板を用いた場合においてはさらに優れた光起電力素子が得られた。

【0186】一方、 $Ra(X) > 300$  nmである基板、または $Ra(X) > 600$  nmである基板、さらにまたは $Ra(Y) > 20$  nmかつ $Ra(X)/Ra(Y) > 0.8$ である基板を用いた光起電力素子では、基板の大きな凹凸が原因となるシャント抵抗の低下により歩留りが低下した。

【0187】また、 $300 \text{ nm} \leq Ra(X)$  かつ  $20 \text{ nm} > Ra(Y)$  である基板、または $15 \text{ nm} > Ra(X)$  かつ  $600 \text{ nm} \geq Ra(Y)$  である基板を用いた光起電力素子では、はがれが原因となり歩留りが低下した。

【0188】次に、高温高湿度逆バイアス(HHRB)劣化試験、及び温湿度劣化試験による耐久性評価の結果を図9-bに示す。

【0189】図中、良好な耐久性が得られた $Ra(X) = 30$  nm、 $Ra(Y) = 50$  nm、 $Ra(X)/Ra(Y) = 0.6$ の素子を基準として○とし、耐久性がより優れている素子については◎、劣っている素子については△、より劣っている素子については●とした。

【0190】この結果より、 $Ra(X) = 15 \sim 300$  nm、かつ $Ra(Y) = 20 \sim 600$  nm、かつ $Ra(X)/Ra(Y) \leq 0.8$ である基板を用いた光起電力素子においては良好な耐久性が得られたものの、 $Ra(X) > 300$  nmである基板、または $Ra(X) > 600$  nmである基板、さらにまたは $Ra(Y) > 20$  nmかつ $Ra(X)/Ra(Y) > 0.8$ である基板を用いた光起電力素子では、耐久性評価開放電圧( $V_{oc}$ )の\*

\*低下による素子特性の劣化が見られた。

【0191】また、 $300 \text{ nm} \geq Ra(X)$  かつ  $20 \text{ nm} > Ra(Y)$  である基板、または $15 \text{ nm} > Ra(X)$  かつ  $600 \text{ nm} \geq Ra(Y)$  である基板を用いた光起電力素子では、耐久性評価中でははがれが原因となるシリーズ抵抗の増大により素子特性は大きく劣化した。

【0192】以上のように本発明の、 $Ra(X) = 15 \sim 300$  nm、かつ $Ra(Y) = 20 \sim 600$  nm、かつ $Ra(X)/Ra(Y) \leq 0.8$ である線状凹凸を有する基板を用いた光起電力素子は優れた特性を有することが分かった。

【0193】《実施例4》

(基板をアニールし、裏面金属反射層としてAlTiを有する場合)実施例2と同様に、SUS板の処理方法として圧延処理後のスラブを焼鈍、酸洗し、表面のアニール処理を行った第4-1表に示す厚さ0.13mm、 $50 \times 50 \text{ mm}^2$ の基板(不図示)上に図1の構成を有する光起電力素子を作製した。

【0194】冷間圧延処理の終わったスラブに第4-1表に示すような焼鈍・酸洗処理を行った。その後、第4-1表に示す条件で表面のアニール処理を行った。

【0195】アニールについては不図示のアニール装置を用いて、上記の処理を行ったフェライト系SUSを第4-1表に示す条件まで温度を上昇させ、その後徐冷した。

【0196】アニール処理を行った基板の一部は評価用に残し、その他の基板については実施例3と同様に第4-1表に示す条件でAlTi反射層の形成を行った。

【0197】その後、実施例3と同様に、第4-1表に示す条件でZnO透明電極層を形成し、基板の一部は評価用に残し、その他の基板はCVD装置により第4-1表に示す条件でpin型半導体層、 $\text{In}_2\text{O}_3$ 透明電極、集電電極を形成し光起電力素子を作成した。

【0198】

【表6】

第4-1表

SUS処理	圧延処理／光輝焼鈍／酸洗		
スキンプラス圧延	有または無		
表面研磨	研磨無し		
表面処理	アニール 600℃		
反射層	AlTi	50nm	基板温度 RT
透明導電層	ZnO	1μm	基板温度 300℃
n型層	SiH <sub>4</sub>	1sccm	H <sub>2</sub> 50sccm
	PH <sub>3</sub>	(H <sub>2</sub> で1%希釈)	0.5sccm
	圧力	1.2Torr	RF電力 1.5W
	基板温度	330℃	厚さ 10nm
RF-i層	Si <sub>2</sub> H <sub>6</sub>	4sccm	H <sub>2</sub> 90sccm
	圧力	0.5Torr	RF電力 2.0W
	基板温度	300℃	厚さ 10nm
MW-i層	SiH <sub>4</sub>	45sccm	GeH <sub>4</sub> 45sccm
	H <sub>2</sub>	250sccm	
	圧力	8mTorr	MW電力 250W
	RFバイアス電力	700W	基板温度 380℃
	厚さ	70nm	
RF-i層	Si <sub>2</sub> H <sub>6</sub>	4sccm	H <sub>2</sub> 90sccm
	圧力	0.5Torr	RF電力 1.7W
	基板温度	300℃	厚さ 20nm
水素プラズマ処理	H <sub>2</sub>	100sccm	
	圧力	2.0Torr	RF電力 30W
	基板温度	200℃	
p型層	SiH <sub>4</sub>	(H <sub>2</sub> 希釈10%) 0.25sccm	H <sub>2</sub> 35sccm
	BF <sub>3</sub>	(H <sub>2</sub> 希釈2%) 2sccm	
	圧力	2Torr	RF電力 30W
	基板温度	200℃	
透明電極	In <sub>2</sub> O <sub>3</sub>	反応性蒸着法	70nm
集電電極	Cr (100nm) / Ag (1μm) / Cr (100nm)		

【0199】実施例3と同様に表面処理まで行った基板については表面形状観察を行い、触針式表粗さ測定器を用いて、線状凹凸のある基板について、線状凹凸に平行な方向の粗さRa(X)、線状凹凸に垂直な方向の粗さRa(Y)を調べた。

【0200】その結果、Ra(X)は5~350nm、Ra(Y)は8~650nmの範囲であった。この基板の中から実施例3で優れた結果の得られたRa(X)=15~300nm、かつRa(Y)=20~600nm、かつRa(X)/Ra(Y)≤0.8の範囲内にあ

る基板を選び出してスジ状凹凸のピッチdを調べた。その結果、ピッチdは0.2~30μmの範囲であった。

【0201】上記の範囲(0.2≤ピッチd≤30μm)にある基板については実施例3と同様に透明導電層まで作成した後にそれぞれ全反射率及び拡散反射率を求めた。反射率の結果をピッチdが5.0μmであるものを1とした相対比較(相対評価)で第4-2表に示す。

【0202】その結果、全反射率及び拡散反射率は、ピッチdが0.5~20μmの範囲にある時は全反射率、拡散反射率共に高いものが得られたが、ピッチdが0.5

5μmより小さい時は全反射率が低下しそれに加えて乱反射率も少し低下した。また、ピッチdが20μmより大きい時は全反射率は大きいものの拡散反射率が非常に低く鏡面に近い結果となった。

【0203】実施例3と同様に光起電力素子については、ピッチdが0.2~30μmの範囲の基板についてそれぞれ作製し、更に25個ずつのサブセルに分けた後、歩留りを調べ、更に密着性試験、高温高湿度逆バイアス(HHRB)劣化、及び温湿度劣化の各試験を行いそれぞれの試験後に光起電力素子の特性を測定した。

【0204】まず歩留りの相対評価結果を第4-3表に示す。

【0205】この結果より、ピッチdが0.5~20μmの範囲にある時は良好な歩留りが得られたものの、ピッチdが0.5μmより小さい時は開放電圧(V<sub>oc</sub>)およびFFが減少し、結果として歩留りが低下した。またピッチdが20μmより大きい場合には、はがれによる歩留りの低下がみられた。

【0206】次に、高温高湿度逆バイアス(HHRB)劣化試験、及び温湿度劣化試験による耐久性の相対評価

結果を図4-4に示す。

【0207】この結果より、ピッチdが0.5~20 $\mu$ mの範囲にある時は高温高湿度逆バイアス(HHRB)劣化試験後あるいは温湿度劣化試験後にも良好な特性が得られたものの、ピッチdが0.5 $\mu$ mより小さい場合には各試験後開放電圧( $V_{oc}$ )およびFFが低下し、ピ \*

第4-2表

ピッチd ( $\mu$ m)	0.2	0.4	0.5	0.9	5.0	10	20	21	25	30
全反射率	0.87	0.90	0.98	0.99	1.0	1.01	0.98	0.96	0.95	0.96
乱反射率	0.95	0.94	0.98	0.98	1.0	0.97	0.98	0.89	0.86	0.81

第4-3表

ピッチd ( $\mu$ m)	0.2	0.4	0.5	0.9	5.0	10	20	21	25	30
歩留り	0.85	0.89	0.98	1.01	1.0	0.99	0.98	0.85	0.82	0.80

第4-4表

ピッチd ( $\mu$ m)	0.2	0.4	0.5	0.9	5.0	10	20	21	25	30
HHRB試験	0.92	0.94	0.99	1.01	1.0	1.0	0.99	0.86	0.85	0.85
温湿度劣化試験	0.94	0.94	0.98	0.99	1.0	0.98	0.99	0.88	0.86	0.84

【0209】以上のように本発明の、 $Ra(X) = 15 \sim 300$  nm、かつ $Ra(Y) = 20 \sim 600$  nm、かつ $Ra(X)/Ra(Y) \leq 0.8$ 、かつ $0.5 \mu m \leq$ ピッチd $\leq 20 \mu m$ である線状凹凸を有する基板を用いた光起電力素子は優れた特性を有することが分かった。

【0210】《実施例5》

(第2の線状の凹凸の長さの最適値) 実施例4と同様に、SUS板の処理方法として圧延処理後のスラブを焼鈍、酸洗し、表面のアニール処理を行った第5-1表に示す厚さ0.13mm、 $50 \times 50$  mm<sup>2</sup>の基板(不図示)上に図1の構成を有する光起電力素子を作製した。

【0211】まず、基板の作製から行った。

【0212】冷間圧延処理の終わったスラブに第5-1表に示すような焼鈍・酸洗処理を行った。その後、第5-1表に示す条件で表面のアニール処理を行った。

【0213】その後、実施例4と同様に、第5-1表に示す条件で反射層およびZnO透明電極層を形成し、基板の一部は評価用に残し、その他の基板はCVD装置により第5-1表に示す条件でpin型半導体層、In<sub>2</sub>O<sub>3</sub>透明電極、集電電極を形成し光起電力素子を作成した。

【0214】

【表8】

\* ピッチdが20 $\mu$ mより大きい場合には、はがれによるシリーズ抵抗の増大が原因と見られるFFの低下により特性が低下した。

【0208】

【表7】

第5-1表

SUS処理	圧延処理/焼鈍/酸洗
スキンパス圧延	有または無
表面研磨	研磨無し
表面処理	アニール 650℃
反射層	Cu、50nm 基板温度 RT
透明導電層	ZnO 1 $\mu$ m 基板温度350℃

【0215】実施例4と同様に表面処理まで行った基板については触針式表粗さ測定器を用いて、スジ状凹凸のある基板について、線状凹凸に平行な方向の粗さRa(X)、線状凹凸に垂直な方向の粗さRa(Y)を調べた。

【0216】その結果、Ra(X)は4~400 nm、Ra(Y)は7~700 nmの範囲であった。この基板の中から実施例3で優れた結果の得られたRa(X) = 15~300 nm、かつRa(Y) = 20~600 nm、かつRa(X)/Ra(Y)  $\leq 0.8$ の範囲内にある基板を選び出して線状凹凸のピッチdを調べた。その結果、ピッチdは0.2~30 $\mu$ mの範囲であった。

【0217】さらにこの基板の中から実施例4で優れた結果の得られた $0.5 \leq d \leq 20 \mu m$ の範囲にある基板を選び出して線状凹凸と垂直な方向の第2の線状凹凸についてその長さlを調べた。その結果、第2の線状凹凸の長さlは測定限界以下~2 $\mu$ mであった。

【0218】上記の範囲(測定限界以下 $\leq l \leq 25 \mu m$ )にある基板については実施例4と同様に透明導電層

まで作成した後にそれぞれ全反射率及び拡散反射率を求めた。反射率の結果を $l$ が $5.0\mu\text{m}$ であるものを1とした相対比較(相対評価)で第5-2表に示す。

【0219】その結果、全反射率及び拡散反射率は、 $l$ が $20\mu\text{m}$ 以下にある場合は全反射率、拡散反射率共に高いものが得られたが、 $l > 20\mu\text{m}$ である場合は全反射率が低下しそれに加えて拡散反射率も少し低下する結果となった。

【0220】実施例4と同様に光起電力素子については、 $l$ が $25\mu\text{m}$ の範囲の基板についてそれぞれ作製し、更に25個づつのサブセルに分けた後、歩留りを調べ、更に密着性試験、高温高湿度逆バイアス(HHRB)劣化、及び温湿度劣化の各試験を行いそれぞれの試験後に光起電力素子の特性を測定した。

【0221】まず歩留りの相対評価結果を第5-3表に\*

第5-2表

$l$ ( $\mu\text{m}$ )	0	0.5	1.2	3.0	5.0	15	20	21	23	25
全反射率	0.97	0.96	1.0	0.98	1.0	1.0	0.97	0.85	0.82	0.81
乱反射率	0.97	0.97	0.98	0.99	1.0	0.98	0.98	0.93	0.91	0.92

第5-3表

$l$ ( $\mu\text{m}$ )	0	0.5	1.2	3.0	5.0	15	20	21	23	25
歩留り	0.97	1.0	1.0	0.98	1.0	0.98	0.99	0.85	0.83	0.81

第5-4表

$l$ ( $\mu\text{m}$ )	0	0.5	1.2	3.0	5.0	15	20	21	23	25
HHRB試験	0.97	0.98	1.0	0.99	1.0	0.99	0.98	0.85	0.83	0.82
温湿度劣化試験	1.0	1.0	0.98	0.97	1.0	0.99	0.98	0.93	0.90	0.91

【0226】以上のように本発明の、 $R_a(X) = 15 \sim 300\text{nm}$ 、かつ $R_a(Y) = 20 \sim 600\text{nm}$ 、かつ $R_a(X)/R_a(Y) \leq 0.8$ 、かつ $0.5\mu\text{m} \leq \text{ピッチ}d \leq 20\mu\text{m}$ である線状凹凸を有する基板において線状凹凸と垂直方向の第2の線状凹凸の長さが $20\mu\text{m}$ 以下である基板を用いた光起電力素子は優れた特性を有することが分かった。

【0227】《実施例6》

(トリプルセルの場合) 実施例5と同様に、SUS板の処理方法として圧延処理後のスラブを焼鈍、酸洗し表面処理として、アニール処理を行った長さ $100\text{m}$ 、幅 $30\text{cm}$ 、厚さ $0.13\text{mm}$ の第6-1表に示す帯状SUSシートを用い、図7のロール・ツー・ロール法を用いた堆積装置を使用して、図2のpinpinpin型の太陽電池を作製した。

【0228】まず、SUSシートは圧延装置により $0.13\text{mm}$ まで圧延し、酸洗まで処理を終えた後、不図示

\* 示す。

【0222】この結果より、 $l$ が $20\mu\text{m}$ 以下にある時は良好な歩留りが得られたものの、 $l > 20\mu\text{m}$ である場合は開放電圧( $V_{oc}$ )およびFFが減少し、結果として歩留りが低下した。

【0223】次に、高温高湿度逆バイアス(HHRB)劣化試験、及び温湿度劣化試験による耐久性の相対評価結果を第5-4表に示す。

【0224】この結果より、 $l$ が $20\mu\text{m}$ 以下の範囲にある時は高温高湿度逆バイアス(HHRB)劣化試験後あるいは温湿度劣化試験後にも良好な特性が得られたものの、 $l > 20\mu\text{m}$ である場合には各試験後開放電圧( $V_{oc}$ )およびFFが低下により特性が低下した。

【0225】

【表9】

の真空容器中の送りボビン(不図示)に巻き、一方の端を接続した巻き取りボビンを回転させSUSシートを送り込みながらアニールを行った。

【0229】次に、アニールを行った基板については一部を評価し、その後ロール・ツー・ロール法により第6-1表に示す条件でAlMg反射層およびZnO透明電極層を形成し、基板の一部は評価用に残し、その他の基板はロール・ツー・ロール法によるCVD装置により第6-1表に示す条件で光起電力素子を作成した。

【0230】図7-aはロール・ツー・ロール法を用いた光起電力素子の連続形成装置の概略図である。この装置は基板送り出し室710と、複数の堆積室701~713と、基板巻き取り室730を順次配置し、それらの間を分離通路714で接続してなり、各堆積室には排気口があり、内部を真空にすることができる。

【0231】帯状の基板740はこれらの堆積室、分離通路を通して、基板送り出し室から基板巻き取り室に巻



き取られていく。同時に各堆積室、分離通路のガス入り口からガスを導入し、それぞれの排気口からガスを排気し、それぞれの層を形成することができるようになっていく。各堆積室には基板を裏から加熱するハロゲンランプヒーター718が内部に設置され、各堆積室で所定の温度に加熱される。

【0232】図7-bは堆積室701~713を上から見た図で、各堆積室には原料ガスの入り口715と排気口716があり、RF電極717あるいはマイクロ波アプリケーション718が取り付けられ、原料ガスの入り口715には原料ガス供給装置（不図示）が接続されている。各堆積室の排気口には油拡散ポンプ、メカニカルブースターポンプなどの真空排気ポンプ（不図示）が接続され、堆積室に接続された分離通路714には掃気ガスを流入させる入り口719があり、図のような掃気ガスを導入する。

【0233】MW-i層の堆積室である堆積室703と707にはバイアス電極720が配置されており、電源としてRF電源（不図示）が接続されている。基板送り出し室には送り出しロール721と基板に適度の張力を与え、常に水平に保つためのガイドローラー722があり、基板巻き取り室には巻き取りロール723とガイドローラー724がある。

【0234】まず、前記のSUS430BAシートを送り出しロール721に巻き付け（平均曲率半径30cm）、基板送り出し室710にセットし、各堆積室内を通過させた後に基板の端を基板巻き取りロール723に巻き付ける。装置全体を真空排気ポンプで真空排気し、各堆積室のランプヒーターを点灯させ、各堆積室内の基板温度が所定の温度になるように設定する。装置全体の圧力が1mTorr以下になったら掃気ガスの入り口719から図7-aに示すような排気ガスを流入させ、基\*

\* 板を図の矢印の方向に移動させながら、巻き取りロールで巻き取っていく。各堆積室にそれぞれの原料ガスを流入させる。この際、各堆積室に流入させる原料ガスが他の堆積室に拡散しないように各分離通路に流入させるガスの流量、あるいは各堆積室の圧力を調整する。次にRF電力、またはMW電力およびRFバイアス電力を導入してプラズマを生起し、第6-1表に示す条件で第3のpin接合として堆積室701でn1層、堆積室702、703、704でi1層、堆積室705でp1層を堆積し、第2のpin接合として堆積室706でn2層、堆積室707、708、709でi2層、堆積室710でp2層を堆積し、第1のpin接合として堆積室711でn3層、堆積室712でi3層、堆積室713でp3層を堆積し3層のpin接合からなる光起電力素子を形成していった。

【0235】基板の巻き取り終わったところで、すべてのMW電源、RF電源、プラズマを消滅させ、原料ガス、掃気ガスの流入を止めた。装置全体をリークし、巻き取りロールを取りだした。

【0236】次に反応性スパッタリング装置を用いて第6-1表に示す条件で透明電極213を3層のpin接合上に作成した。

【0237】次に、銅ワイヤーのまわりに銀クラッド層と、ウレタン樹脂をバインダーとする炭素の層からなるワイヤーグリッドを透明電極213上に加熱融着により形成し、集電電極とし、ロール状の太陽電池を250mm×100mmの大きさに切断した。

【0238】以上でロール・ツー・ロール法を用いたnipnipnip型太陽電池の作製を終えた。

【0239】

【表10】

第 6-1 表

SUS 処理	圧延処理／焼鈍／酸洗		
スキンプラス圧延	有または無		
表面研磨	無し		
表面処理	アニール	550～650℃	
反射層	AlMg	80nm	基板温度 RT
透明導電層	ZnO	0.75μm	基板温度 200℃
n1 層	a-Si	厚さ 20nm	
RF-i1 層	a-Si	厚さ 10nm	
MW-i1 層	a-Si	厚さ 60nm	
RF-l1 層	a-Si	厚さ 18nm	
p1 層	μc-Si	厚さ 15nm	
n2 層	a-Si	厚さ 10nm	
RF-i2 層	a-Si	厚さ 10nm	
MW-i2 層	a-Si	厚さ 50nm	
RF-i2 層	a-Si	厚さ 18nm	
p2 層	μc-Si	厚さ 15nm	
n3 層	a-Si	厚さ 10nm	
RF-i3 層	a-Si	厚さ 90nm	
p3 層	μc-Si	厚さ 20nm	
透明電極	ITO	厚さ 75nm	
集電電極	Cuワイヤ	太さ 50μm	

【0240】実施例 5 と同様に表面処理まで行った基板については触針式表面粗さ測定器を用いて、スジ状凹凸のある基板について、線状凹凸に平行な方向の粗さ  $R_a$  (X)、スジ状凹凸に垂直な方向の  $R_a$  (Y) を調べた結果、 $R_a$  (X) は 3～350nm、 $R_a$  (Y) は 5～650nm の範囲にあった。

【0241】この基板の中から実施例 3 で優れた結果の得られた  $R_a$  (X) = 15～300nm、かつ  $R_a$  (Y) = 20～600nm、かつ  $R_a$  (X) /  $R_a$  (Y) ≤ 0.8 の範囲内にある基板を選び出して線状凹凸のピッチ  $d$  を調べた。その結果、ピッチ  $d$  は 0.2～30μm の範囲であった。

【0242】さらにこの基板の中から実施例 4 で優れた結果の得られた  $0.5 \leq d \leq 20\mu m$  の範囲にある基板を選び出してスジ状凹凸と垂直な方向の第 2 の線状凹凸についてその長さ  $l$  を調べた。その結果、第 2 のスジ状凹凸の長さは 25μm 以下であった。

【0243】上記の範囲 (25μm 以下) にある基板については実施例 4 と同様に透明導電層まで作成した後にそれぞれ全反射率及び乱反射率を求めた。反射率の結果を  $l$  が 5.0μm であるものを 1 とした時の相対比較 (相対評価) で第 6-2 表に示す。

【0244】その結果、全反射率及び拡散反射率は、 $l$  が 20μm 以下にある場合には全反射率、拡散反射率共に高いものが得られたが  $l > 20\mu m$  である場合は全反\*

\* 射率が低下しそれに加えて拡散反射率も少し低下する結果となった。

【0245】実施例 5 と同様に光起電力素子については、 $l$  が 25μm 以下の範囲の基板についてそれぞれ作成し、さらに 25 個づつのサブセルに分けた後、歩留りを調べ、さらに密着性、高温高湿度逆バイアス (HHRB) 劣化試験、及び温湿度劣化の各試験を行いそれぞれの試験後に光起電力素子の特性を測定した。

【0246】まず歩留りの相対評価結果を第 6-3 表に示す。

【0247】この結果より、 $l$  が 20μm 以下にある場合には良好な歩留りが得られたものの、 $l > 20\mu m$  である場合は開放電圧 ( $V_{oc}$ ) および FF が低下し結果として歩留りが低下した。

【0248】次に、高温高湿度逆バイアス (HHRB) 劣化試験、及び温湿度劣化試験による耐久性の相対評価結果を図 6-4 に示す。

【0249】この結果より、 $l$  が 20μm 以下の範囲にある場合には高温高湿度逆バイアス (HHRB) 劣化試験後あるいは温湿度劣化試験後にも良好な特性が得られたものの、 $l > 20\mu m$  である場合には各試験後開放電圧 ( $V_{oc}$ ) および FF の低下により特性が低下した。

【0250】

【表 11】

第6-2表

$l$ ( $\mu\text{m}$ )	0	0.2	1.0	2.5	5.0	13	20	22	24	25
全反射率	0.98	0.97	0.99	0.97	1.0	0.99	1.0	0.82	0.81	0.84
拡散反射率	0.98	0.98	0.99	0.99	1.0	0.97	0.99	0.89	0.86	0.87

第6-3表

$l$ ( $\mu\text{m}$ )	0	0.2	1.0	2.5	5.0	13	20	22	24	25
歩留り	0.98	0.99	1.0	0.98	1.0	1.0	1.0	0.83	0.82	0.82

第6-4表

$l$ ( $\mu\text{m}$ )	0	0.2	1.0	2.5	5.0	13	20	22	24	25
HHRB試験	0.98	0.99	0.98	1.0	1.0	0.98	0.97	0.85	0.83	0.83
温湿度劣化試験	0.99	1.0	0.99	0.97	1.0	0.98	0.98	0.92	0.90	0.90

【0251】以上の様に本発明の、 $Ra(X) = 15 \sim 300 \text{ nm}$ 、かつ $Ra(Y) = 20 \sim 600 \text{ nm}$ 、かつ $Ra(X)/Ra(Y) \leq 0.8$ 、かつ $0.5 \mu\text{m} \leq$ ピッチ $d \leq 20 \mu\text{m}$ である線状凹凸を有する基板において線状凹凸と垂直方向の第2の線状凹凸の長さ $l$ が $20 \mu\text{m}$ 以下である基板を用いた光起電力素子は優れた特性を有する事がわかった。

#### 【0252】《実施例7》

(トリプルセル・基板をエッチングした場合) 実施例1と同様に、SUS板の処理方法として圧延処理後のスラブを光輝焼鈍し、スキンプラス圧延を経た後、表面処理を行った第7-1表に示す厚さ $0.20 \text{ mm}$ 、 $50 \times 50 \text{ mm}^2$ の基板(不図示)上に図1の構成を有する光起電力素子を作製した。

第7-1表

SUS処理	圧延処理/光輝焼鈍
スキンプラス圧延	有り
表面研磨	無し
表面処理	ドライエッチング
	RF 200W 5分間 基板温度 RT
反射層	AlSiTi 35nm 基板温度 RT
透明導電層	ZnO 1 $\mu\text{m}$ 基板温度200℃

【0255】<比較例7-1>透明導電層としてZnO透明電極層を形成する際、層厚を $10 \mu\text{m}$ 、基板温度を $450^\circ\text{C}$ とした以外は実施例7と同じ条件でサンプル(サンプル比7-1)、(サンプル比7-2)及び光起電力素子(素比7-1)を作製した。

【0256】実施例7及び比較例7-1で表面処理まで行った基板、(サンプル実7-1)、(サンプル比7-1)について、また光起電力素子まで作成した基板(サンプル実7-2)、(サンプル比7-2)については、それぞれ電子顕微鏡(SEM)による表面形状観察を行

\*【0253】まず、冷間圧延処理の終わったスラブに第7-1表に示すような光輝焼鈍、スキンプラス圧延処理を行った。その後、不図示のドライエッチング装置を用い $\text{CCl}_4$ 、 $\text{Cl}_2$ ガスを用いて第7-1表に示す条件で表面のエッチング処理を行った。エッチング処理を行った基板の一部は評価用に残し(サンプル実7-1)、その後、実施例5と同様に、第7-1表に示す条件で反射層及びZnO透明電極層を形成し、その他の基板はCVD装置により第4-1表に示す条件でpin型半導体層、 $\text{In}_2\text{O}_3$ 透明電極、集電電極を形成し光起電力素子を作成した。光起電力素子の一部はサンプル評価用に残した(サンプル実7-2)、(素実7-1)。

#### 【0254】

\*【表12】

った。

【0257】その結果を第7-2表に示す。

【0258】(サンプル実7-1)、(サンプル実7-2)では共に線状凹凸がみられ、SUS表面の形状が光起電力素子表面にも反映されたことが確認できた。

【0259】一方、(サンプル比7-1)、ではSUS表面に線状凹凸がみられたものの(サンプル比7-2)で光起電力素子表面にはスジ状凹凸はみられずZnO結晶粒界と思われる凹凸が存在した。



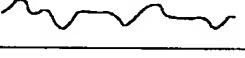
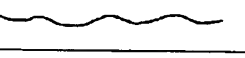
【0260】実施例1と同様に実施例7、比較例7-1

で作成した光起電力素子、(素実7-1)及び(素比7-1)について、それぞれ5個づつ作製し、全ての光起電力素子について更に25個づつのサブセルに分けた後、シャント抵抗を測定し歩留りを調べた。更に続いて、密着性試験、初期光電変換効率、光劣化、高温高湿度逆バイアス(HHRB)劣化、及び温湿度劣化の測定を行った。

【0261】その結果を第7-3表に示す。

\*

第7-2表

サンプル№	表面形状(基板) (概略図)	表面形状(素子) (概略図)
サンプル実7-1		
サンプル比7-1		

第7-3表

セル№	歩留り	密着性	初期効率	光 劣化後効率	HHRB 劣化後効率	温湿度 劣化後効率
素実 7-1	1.0	1.0	1.0	1.0	1.0	1.0
素比 7-1	0.90	0.92	0.89	0.87	0.88	0.89

#### 【0264】《実施例8》

(多結晶セルの場合) 実施例5と同様に、SUS板の処理方法として圧延処理後のスラブを光輝焼鈍し、スキンパス圧延を経た後、表面処理を行った第8-1表に示す厚さ0.20mm、50×50mm<sup>2</sup>の基板(不図示)上に図1の構成を有する光起電力素子を作製した。

【0265】まず、基板の作成から行った。

【0266】冷間圧延の終わったスラブに第8-1表に示すような焼鈍・酸洗処理を行った。その後、第8-1表に示す条件で表面のアニール処理を行った。

【0267】その後、実施例5と同様に、第8-1表に示す条件で反射層およびZnO透明電極層を形成し、基板の一部は評価用に残した。

【0268】次にZnO薄膜層上に多室分離型の堆積装置(不図示)でa-Siからなるn層及びμc-Siが※

\*【0262】測定の結果、(素実7-1)に対して(素比7-1)は歩留り及び密着性において低い値となった。また各劣化試験後の光電変換効率も劣っているが、これらの差は主に密着性に起因するシリーズ抵抗の増大によるFFの低下が原因である。

【0263】

【表13】

※らなるp層、poly-Siからなるi層を順次形成した。

【0269】まず、実施例5と同様の装置でZnO薄膜層上にa-Siからなるn層を堆積した。次に、二重管(不図示)を用いたHRCVD法による堆積装置(不図示)を用いて、第8-1表に示す条件でpoly-Siからなるi層を堆積した。第8-1表に示す条件でpin型半導体層、In<sub>2</sub>O<sub>3</sub>透明電極、集電電極を形成し光起電力素子を作成した(実-8)。

【0270】その他の基板はCVD装置により第8-1表に示す条件でpin型半導体層、In<sub>2</sub>O<sub>3</sub>透明電極、集電電極を形成し光起電力素子を作成した。

【0271】

【表14】

第8-1表

SUS処理	圧延処理／焼鈍／酸洗
スキンパス圧延	有または無
表面研磨	研磨無し
表面処理	アニール 600℃
反射層	AlSi 100nm 基板温度RT
透明導電層	ZnO 1μm 基板温度 150℃
n+型層	SiH <sub>4</sub> 1sccm H <sub>2</sub> 50sccm PH <sub>3</sub> (H <sub>2</sub> で1%希釈) 3sccm 圧力 1.2Torr RF電力 2W 基板温度 300℃
多結晶-i層	SiF <sub>4</sub> 85sccm H <sub>2</sub> 150sccm Ar 150sccm 圧力 0.5Torr MW電力 600W 基板温度 300℃
p型層	SiH <sub>4</sub> (H <sub>2</sub> 希釈10%) 0.5sccm H <sub>2</sub> 100sccm BF <sub>3</sub> (H <sub>2</sub> 希釈2%) 5sccm 圧力 2Torr RF電力 40W 基板温度 150℃
透明電極	In <sub>2</sub> O <sub>3</sub> 反応性蒸着法 70nm
集電電極	Cr (100nm) / Ag (1μm) / Cr (100nm)

【0272】実施例5と同様に表面処理まで行った基板については触針式表粗さ測定器を用いて、線状凹凸のある基板について、線状凹凸に平行な方向の粗さRa (X)、線状凹凸に垂直な方向の粗さRa (Y)を調べた。

【0273】その結果、Ra (X)は3~350nm、Ra (Y)は12~630nmの範囲であった。この基板の中から実施例3で優れた結果の得られたRa (X)=15~300nm、かつRa (Y)=20~600nm、かつRa (X)/Ra (Y) ≤ 0.8の範囲内にあ

る基板を選び出して線状凹凸のピッチdを調べた。その結果、ピッチdは0.3~25μmの範囲であった。

【0274】さらにこの基板の中から実施例4で優れた結果の得られた0.5 ≤ d ≤ 20μmの範囲にある基板を選び出して線状凹凸と垂直な方向の第2の線状凹凸についてその長さlを調べた。その結果、第2の線状凹凸の長さlは測定限界以下~22μmであった。

【0275】上記の範囲(測定限界以下 ≤ l ≤ 25μm)にある基板については実施例5と同様に透明導電層まで作成した後にそれぞれ全反射率及び乱反射率を求め

た。反射率の結果をlが7.5μmであるものを1とした相対比較(相対評価)で第8-2表に示す。

【0276】その結果、全反射率及び乱反射率は、lが20μm以下にある場合は全反射率、乱反射率共に高いものが得られたが、l > 20μmである場合は全反射率\*

\*が低下しそれに加えて乱反射率も少し低下する結果となった。

【0277】実施例5と同様に光起電力素子については、lが25μm以下の範囲の基板についてそれぞれ作製し、更に25個ずつのサブセルに分けた後、歩留りを調べ、更に密着性試験、高温高湿度逆バイアス(HHRB)劣化、及び温湿度劣化の各試験を行いそれぞれの試験後に光起電力素子の特性を測定した。

【0278】まず歩留りの相対評価結果を第8-3表に示す。

【0279】この結果より、lが20μm以下にある時は良好な歩留りが得られたものの、l > 20μmである場合は開放電圧(V<sub>oc</sub>)およびFFが減少し、結果として歩留りが低下した。

【0280】次に、高温高湿度逆バイアス(HHRB)劣化試験、及び温湿度劣化試験による耐久性の相対評価結果を図8-4に示す。

【0281】この結果より、lが20μm以下の範囲にある時は高温高湿度逆バイアス(HHRB)劣化試験後あるいは温湿度劣化試験後にも良好な特性が得られたものの、l > 20μmである場合には各試験後開放電圧(V<sub>oc</sub>)およびFFの低下により特性が低下した。

【0282】

【表15】

第8-2表

$l$ ( $\mu\text{m}$ )	0	0.3	1.5	5.5	7.5	18.5	20	20.5	21.5	22
全反射率	0.98	0.98	0.99	1.0	1.0	0.97	0.98	0.86	0.84	0.85
拡散反射率	0.98	0.97	0.97	0.96	1.0	0.99	0.97	0.92	0.90	0.88

第8-3表

$l$ ( $\mu\text{m}$ )	0	0.3	1.5	5.5	7.5	18.5	20	20.5	21.5	22
歩留り	0.98	0.99	0.99	0.97	1.0	1.0	0.98	0.84	0.82	0.83

第8-4表

$l$ ( $\mu\text{m}$ )	0	0.3	1.5	5.5	7.5	18.5	20	20.5	21.5	22
HHRB試験	0.98	0.99	0.99	1.0	1.0	0.97	0.98	0.89	0.90	0.91
温湿度劣化試験	0.99	0.97	0.98	0.97	1.0	1.0	0.97	0.90	0.91	0.89

## 【0283】

【発明の効果】請求項1の発明によれば、表面が平坦な従来の基板を用いた場合に比べて、基板上に積層する薄膜と基板との密着性が向上し、光起電力素子の製造工程において、前記薄膜と基板との間で剥離することがなくなり、製造工程の制御性と自由度が向上すると同時に、光起電力素子の製造の歩留りが向上した。また、高温高湿サイクルテスト、塩水試験等の耐候性加速試験の結果、耐候性が向上した。さらに、スクラッチテスト、曲げ試験等の機械的強度の試験の結果、耐久性が向上した。また、基板表面の一定方向のすじ状の凹凸によって、光起電力素子の裏面における乱反射が増大して、半導体層で吸収しきれなかった長波長光が散乱されて半導体層内での光路長が延び、光起電力素子の短絡電流（Jsc）が増大して、光電変換効率が向上した。また、光起電力素子のシリーズ抵抗が減少して、フィルファクター（FF）が向上し、光電変換効率が向上した。

【0284】また、表面に一樣に凹凸を形成した従来の基板を用いた場合に比べて、光起電力素子のリーク電流が減少し、光起電力素子の製造の歩留りが向上した。また、光起電力素子の短絡電流（Jsc）を高い値に維持しつつ、開放電圧（Voc）とフィルファクター（FF）が向上して、光電変換効率が向上した。

【0285】さらに、基板上に積層する薄膜が、多結晶質である場合、基板上に積層する薄膜の多結晶の平均粒径が増大し、薄膜の多結晶の粒径のばらつきが小さくなった。その結果、光起電力素子のシリーズ抵抗が減少し、フィルファクター（FF）が向上すると同時に、光の散乱がさらに促進されて、短絡電流（Jsc）が増大した。

【0286】請求項2乃至4の発明によれば、種々の線状の凹凸によって上記効果が得られた。

【0287】また請求項5の発明によれば、Ra（X）が300nmを越えると、線状の凹凸があっても、実質的に従来のピラミッド形の凹凸を有する表面に近付いてしまうため、光起電力素子のシャントによる製造の歩留りの低下、あるいは開放電圧（Voc）とフィルファクター（FF）の低下といった問題が出てきてしまうことがわかった。また、Ra（X）を15nmより小さくすると、線状の凹凸があっても、基板と基板上に積層する薄膜の間のはがれの問題が生じることがわかった。また、Ra（Y）を20nmより小さくすると、はがれあるいは乱反射の低下による短絡電流（Jsc）の低下といった鏡面の表面の基板の問題が出てくることがわかった。また、Ra（Y）が600nmを越えると、線状の凹凸であっても、凹凸が大きすぎるため、光起電力素子のシャントによる製造の歩留りの低下、あるいは開放電圧（Voc）とフィルファクター（FF）の低下といった問題が出てきてしまうことがわかった。さらに、基板表面に微小な穴があり、それが線状の凹凸と平行方向（X方向）に並んでいる場合、線状の凹凸があっても、Ra（X）/Ra（Y）が1より大きくなる場合がある。このような場合は、光起電力素子のシャントによる製造の歩留りの低下、あるいは開放電圧（Voc）とフィルファクター（FF）の低下といった問題が出たり、請求項1の効果が弱められることがあった。これに対し、Ra（X）/Ra（Y）を0.8以下にすることによって、請求項1の発明の効果を強調し、光起電力素子のリーク電流を抑え、高い製造の歩留りを維持しつつ、光起電力素子の裏面における乱反射をさらに高め、基板と基板上に積層する薄膜の密着性をさらに向上させることができた。

【0288】また請求項6の発明によれば前記線状の凹凸のピッチ（d）が、0.5 $\mu\text{m}$ より小さいと、すじ状



の凹凸であっても、開放電圧 (Voc) とフィルファクター (FF) の低下の問題が出てきてしまうことがわかった。また、前記すじ状の凹凸のピッチ (d) が、20  $\mu\text{m}$  より大きいと、はがれあるいは乱反射の低下による短絡電流 (Jsc) の低下といった鏡面の表面の基板の問題が出てくることがわかった。したがって、前記線状の凹凸のピッチ (d) が、0.5  $\mu\text{m}$  から 20  $\mu\text{m}$  であることによって、光起電力素子のリーク電流を抑え、高い製造の歩留りを維持しつつ、光起電力素子の裏面における乱反射をさらに高め、基板と基板上に積層する薄膜の密着性をさらに向上させることができ、上述した請求項1の発明による効果をさらに強調する効果が得られた。

【0289】また請求項7乃至8の発明によれば、微細な第2の線状の凹凸によって、光起電力素子のリーク電流を抑え、高い製造の歩留りを維持しつつ、光起電力素子の裏面における乱反射をさらに高めることができ、半導体内の光路長が延びて、光吸収が増大し、光起電力素子の短絡電流 (Jsc) がさらに増大し、光電変換効率がさらに向上した。なおかつ、基板と基板上に積層する薄膜の密着性をさらに向上させることができ、光起電力素子の製造工程の自由度と制御性が向上し、製造の歩留りが向上し、光起電力素子の耐候性、耐久性がさらに向上した。また、微細な第2のすじ状の凹凸の長さが、20  $\mu\text{m}$  を越えたと前記線状の凹凸を横切る回数が増えて表面積が増大し、開放電圧 (Voc) とフィルファクター (FF) の低下の問題が出てきてしまうことがわかった。そこで、微細な第2のすじ状の凹凸の長さを20  $\mu\text{m}$  以下にすることによって、開放電圧 (Voc) とフィルファクター (FF) を高い値に維持しつつ、光起電力素子の短絡電流 (Jsc) をさせ、基板と基板上に積層する薄膜の密着性を向上させることができた。

【0290】請求項9乃至10の発明によれば線状の凹凸の形成が容易であり、かつ基板が加工しやすく、製造工程の自由度と制御性が向上した。

【0291】また請求項11の発明によれば、光起電力素子の裏面の反射率が向上することと、請求項1の特徴を有する基板によって乱反射が向上することの相乗効果によって、半導体層内の光路長が延びて、光吸収が増大し、光起電力素子の短絡電流 (Jsc) がさらに増大し、光電変換効率がさらに向上した。なおかつ、裏面金属反射層と基板との密着性が向上することによって、光起電力素子の製造工程の自由度と制御性が向上し、製造の歩留りが向上し、光起電力素子の耐候性、耐久性が向上した。

【0292】また請求項12乃至14の発明によれば、光起電力素子の裏面の反射率がさらに向上し、半導体層の光吸収が増大して、光起電力素子の短絡電流 (Jsc) がさらに向上した。

【0293】また、従来のピラミッド形の凹凸を有する

いわゆるテクスチャー構造の表面をもつ基板表面上に、上述の反射率の高い金属を積層した場合、あるいは、上述の反射率の高い金属による裏面金属反射層が、従来のピラミッド形の凹凸のテクスチャー構造を有する場合、上述の反射率の高い金属が、半導体層に拡散したり、マイグレーションを起こして、光起電力素子のシャントを生じ易かったが、本発明の表面に一定方向に線状の凹凸を有する基板を用いることによって、高い乱反射と高い短絡電流 (Jsc) を維持しながらも、上述の反射率の高い金属が、半導体層に拡散したり、マイグレーションを起こすことがほとんど無くなり、光起電力素子の製造の歩留りが顕著に向上した。また、光起電力素子のリーク電流が減少し、開放電圧 (Voc) とフィルファクター (FF) が向上した。

【0294】また、前記裏面金属反射層の主たる材料にアルミニウムを用いることは、製造コストが低いことから、また銀や銅に比べてマイグレーションが起りにくいことから、最も望ましいが、従来のピラミッド形の凹凸を有するいわゆるテクスチャー構造の表面をもつ基板表面上に、アルミニウムを積層するか、あるいはアルミニウムが、従来のピラミッド形の凹凸のテクスチャー構造を有する場合は、アルミニウム表面の全反射率が低下してしまうことが多かった。また、前述のアルミニウムの上に透明導電層を積層した場合さらに全反射率が低下してしまうことが多く、光起電力素子の裏面反射層としては、不適当であることが多かった。一方、鏡面の表面の基板上にアルミニウムを積層した場合には、半導体層裏面での光の散乱が少なくなって、光起電力素子の短絡電流 (Jsc) が低下するという問題と、基板とアルミニウムの間ではがれを生じ易いという問題があった。これらに対し、本発明の表面に一定方向にすじ状の凹凸を有する基板の上に、アルミニウムを積層することによって、裏面で光を散乱させつつ、透明電極層を積層した場合も含めてアルミニウム表面の全反射率が低下してしまうことがなくなり、アルミニウム表面の高い全反射率によって半導体層の光吸収が向上し、光起電力素子の短絡電流 (Jsc) が向上した。また、基板とアルミニウムの間の密着性も向上し、製造工程の自由度と制御性が向上し、製造の歩留りが向上し、光起電力素子の耐候性、耐久性が向上した。

【0295】請求項15乃至16の発明によれば、透明導電層が適度な抵抗値を持つことができ、半導体層の欠陥領域中を流れる電流が減少することによって、光起電力素子がシャントすることが少なくなり、製造の歩留りが向上した。さらに、基板が請求項1の特徴を有することによって、裏面金属反射層と透明導電層の多結晶の平均粒径が増大し、粒径のばらつきが小さくなった。その結果、光起電力素子のシリーズ抵抗が減少し、フィルファクター (FF) が向上すると同時に、光の散乱がさらに促進されて、短絡電流 (Jsc) が増大した。

【0296】また請求項17の発明によれば、光起電力素子の表面に、前記基板表面の線状の凹凸に応じた線状の凹凸があることによって、光起電力素子の光入射側、特に半導体層と上部の透明電極の界面での光の散乱が促進されて、半導体層の光入射側と裏面側の両方で光が散乱されることになり、半導体層内の光路長がさらに延びて、光吸収が増大し、短絡電流(Jsc)がさらに増大した。

【0297】請求項18の発明によれば、より起電力を大きくすることができた。

【0298】請求項19の発明によれば、大面積の素子を連続的に形成することができた。

【図面の簡単な説明】

【図1】本発明の光起電力素子の層構成の一例を示す図である。

【図2】本発明の光起電力素子の層構成の一例を示す図である。

【図3】aは本発明の光起電力素子の基板の直線状の凹凸を示す図である。bは本発明の光起電力素子の基板の波形状の凹凸を示す図である。cは本発明の光起電力素子の基板の渦巻状の凹凸を示す図である。dは本発明の光起電力素子の基板の直交状の凹凸を示す図である。

【図4】本発明の光起電力素子の集電電極を示す図である。

【図5】本発明の光起電力素子の基板を作成するのに好適なスパッタリング装置を模式的に示す図である。

【図6】本発明の光起電力素子を作成するのに好適な堆積膜形成装置を模式的に示す図である。

【図7】aは本発明の光起電力素子を作成するのに好適なロール・ツー・ロール式堆積膜形成装置を模式的に示す図である。bは本発明の光起電力素子を作成するのに好適なロール・ツー・ロール式堆積膜形成装置を上から見た模式的図である。

【図8】aは実施例2で用いた本発明、および従来の光起電力素子における歩留りの結果を表すグラフである。bは実施例2で用いた本発明、及び従来の光起電力素子における劣化試験後の特性結果を表すグラフである。

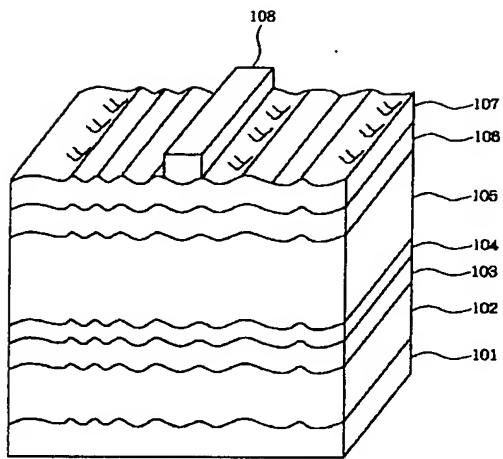
【図9】aは実施例3で用いた本発明、および従来の光起電力素子における歩留りの結果を表すグラフである。bは実施例3で用いた本発明、及び従来の光起電力素子における劣化試験後の特性結果を表すグラフである。

【符号の説明】

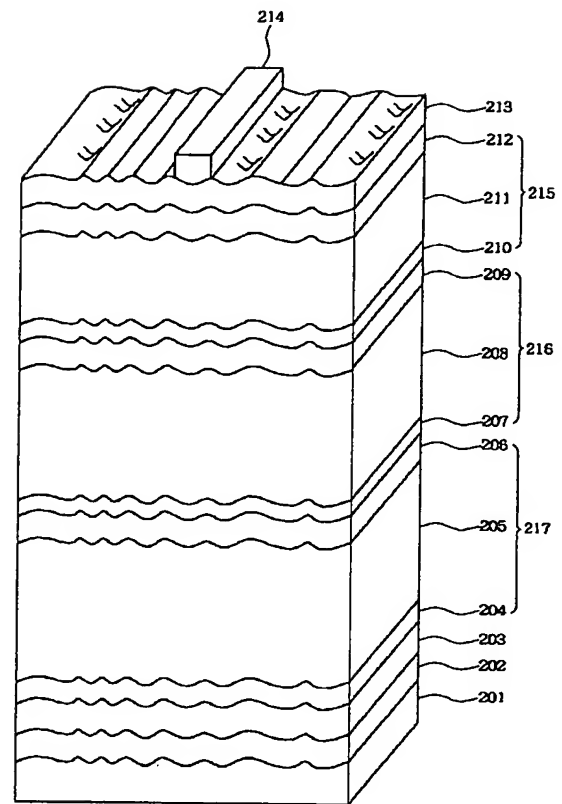
101、201 基板  
102、202 裏面金属反射層  
103、203 透明導電層  
104、204、207、210 n型半導体層 \*

\* 105、205、208、211 i型半導体層  
106、206、209、212 p型半導体層  
107、213 透明電極  
108、214 集電電極  
501 処理室  
502 基板  
503 ヒーター  
504、508 ターゲット  
506、510 電源  
10 507、511 シャッター  
512 圧力計  
513 コンダクタンスバルブ  
514、515 供給バルブ  
516、517 マスフローコントローラー  
600 堆積装置  
601 ロードロック室  
602、603、604 搬送室  
605 アンロード室  
606、607、608、609 ゲートバルブ  
20 610、611、612 基板加熱ヒーター  
613 基板搬送レール  
631~634、641~644、651~655、6  
61~666、671~674、681~684 ス  
トップバルブ  
636~639、656~660、676~679 マ  
スフローコントローラー  
617、618、619 堆積室  
620、621 電極  
622、623、624 RF電源  
30 628 バイアス電極  
649 ガス供給管  
650 シャッター  
710 送り出し室  
730 巻き取り室  
701~713 堆積室  
714 分離通路  
715 原料ガス入り口  
716 排気口  
717 RF電極  
718 マイクロ波アプリアケター  
719 掃気ガス入り口  
720 バイアス電極  
721 送り出しロール  
722、724 ガイドローラー  
723 巻き取りロール

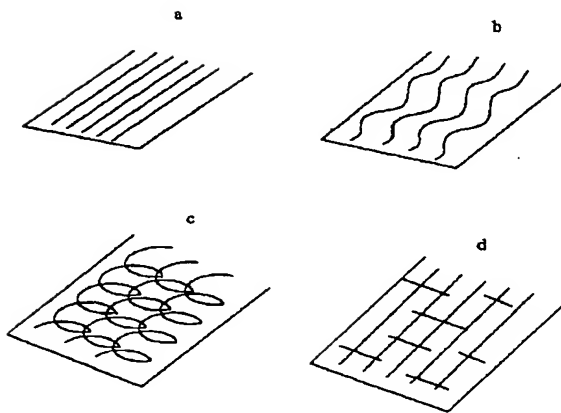
【図 1】



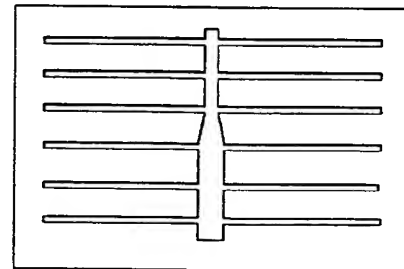
【図 2】



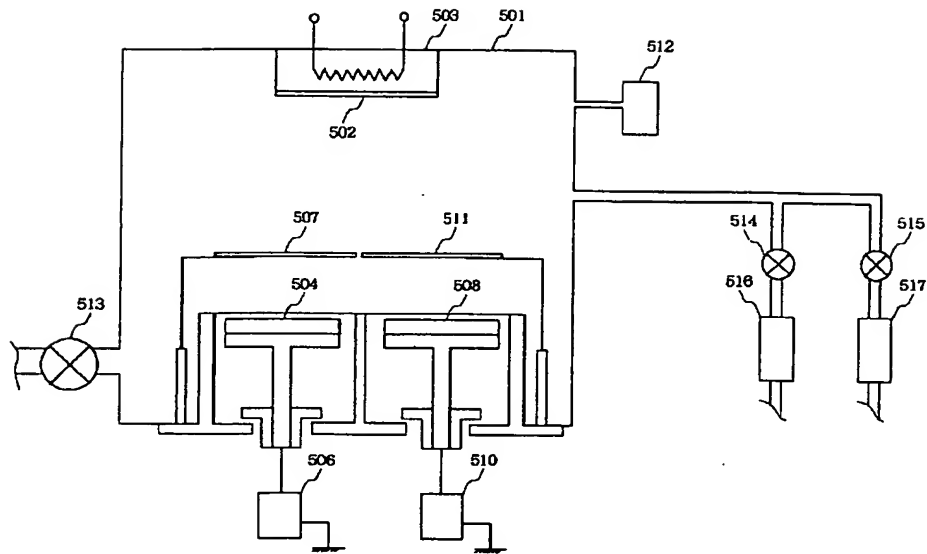
【図 3】



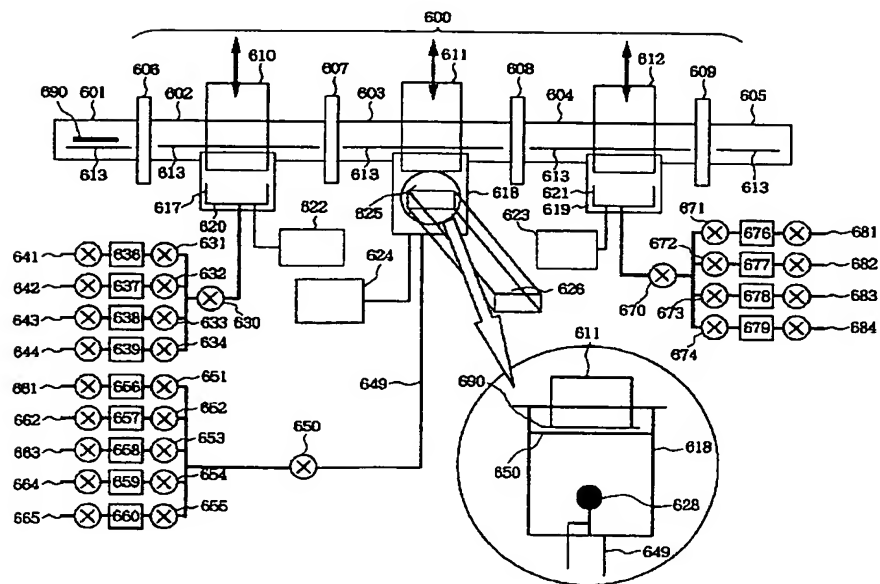
【図 4】



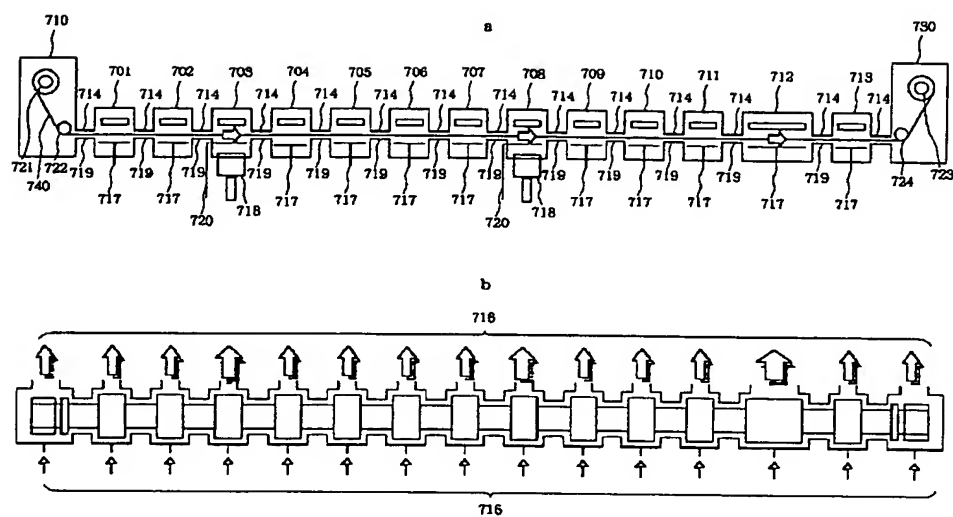
【図 5】



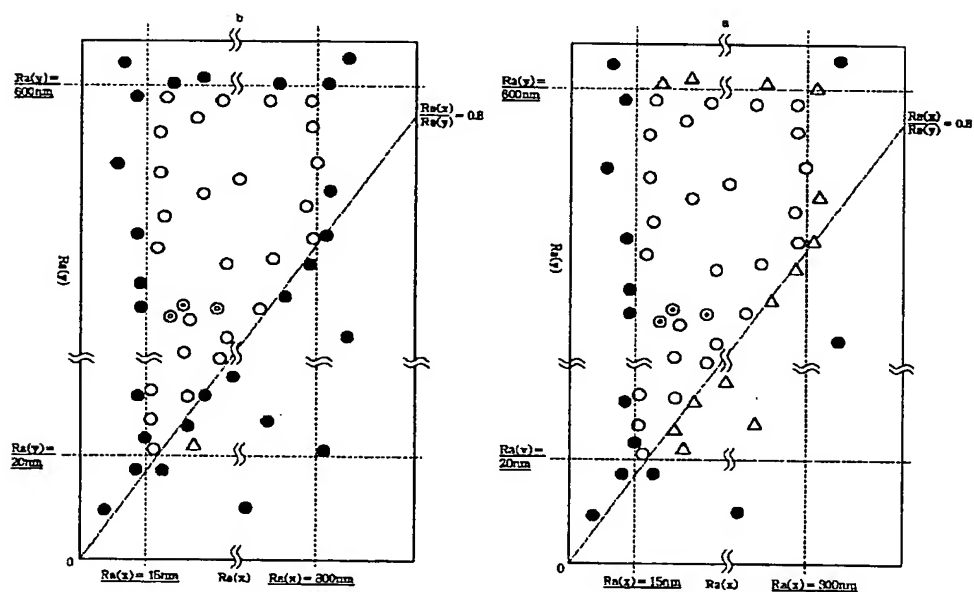
【図 6】



【図7】



【図8】



【図 9】

